

b)

## OVERHEAD TERMINATION AND POINTER PROCESSING DEVICE BASED ON SYNCHRONIZATION DIGITAL HIERARCHY

Patent Number: JP8079231  
Publication date: 1996-03-22  
Inventor(s): EMOTO HIDEO;; KIUCHI SHUSUKE  
Applicant(s): FUJITSU LTD  
Requested Patent: ☐ JP8079231  
Application Number: JP19940210053 19940902  
Priority Number(s):  
IPC Classification: H04L7/08; H04L12/28; H04Q3/00  
EC Classification:  
Equivalents:

---

### Abstract

---

**PURPOSE:** To shift a pointer processing from parallel to serial and to provide the circuit of a higher speed and a smaller scale relating to a device for performing the termination processing of overhead and the pointer processing in an SDH.

**CONSTITUTION:** This device is provided with an overhead termination processing part 1 for performing the termination processing of the overhead for input signals, a clock transfer part 2 for transferring the output of the overhead termination processing part 1 from the one based on an overhead termination processing side clock to the one based on a pointer processing side clock and a pointer processing part 3 for performing the pointer processing by time division for the output of the overhead termination processing part 1 transferred to the one based on the pointer processing side clock in the clock transfer part 2.

---

Data supplied from the **esp@cenet** database - I2

[WHAT IS CLAIMED IS:]

[CLAIM 1] A device for performing overhead termination processing and pointer processing in connection with a synchronous digital hierarchy, comprising:

5           an overhead termination processing section for performing overhead termination processing of an input signal;

          a clock switching section for switching an output from the overhead termination processing section from  
10 an overhead-termination-processing-side clock signal to a pointer-processing-side clock signal; and

          a pointer processing section for subjecting, to pointer processing through time-division, an output from the overhead termination processing section which is  
15 based on the clock-processing-side clock and for which switching has been performed by the clock switching section.

[CLAIM 2] A device for performing overhead termination processing and pointer processing in connection with a  
20 synchronous digital hierarchy, comprising:

          a plurality of overhead processing sections which are provided so as to correspond respectively to a plurality of input signals and perform overhead termination processing of the input signals in a mutually  
25 asynchronous manner;

          a plurality of clock switching sections which are provided so as to correspond respectively to the overhead

termination processing sections and switch outputs from the respective overhead termination processing sections from respective overhead-termination-processing-side clocks to a common pointer-processing-side clock;

5           a multiplexing section for multiplexing outputs from the respective overhead termination processing sections, which are based on the common-pointer-processing-side clock signal and for which switching has been performed by the clock switching  
10 sections;

          a pointer processing section for effecting pointer processing of an output from the multiplexing section through time division; and

          a de-multiplexing section for de-multiplexing an  
15 output from the pointer processing section into a plurality of output signals by means of switching the pointer-processing-side clock to a clock synchronous with the output signal.

[CLAIM 3] The device for performing overhead termination  
20 processing and pointer processing in connection with a synchronous digital hierarchy according to claim 2, further comprising:

          a dummy signal generation section for generating a dummy signal, wherein

25           the multiplexing section is configured so as to multiplex outputs from the respective overhead termination processing sections, the outputs having been

switched to a common-pointer-processing-side clock by the respective clock switching sections, and a dummy signal output from the dummy signal generation section; and a de-multiplexing clock to be used in the

5 de-multiplexing section is used as the pointer-processing-side clock.

[Claim 4] The device for performing overhead termination processing and pointer processing in connection with a synchronous digital hierarchy according to claim 1 or

10 2, wherein the clock switching section comprises

latching sections for latching outputs from the overhead termination processing sections in accordance with the overhead-termination-processing-side clock; and

15 a gate section which delivers outputs from the latching sections in accordance with the pointer-processing-side clock.

[Claim 5] The device for performing overhead termination processing and pointer processing in connection with a synchronous digital hierarchy according to claim 1 or

20 2, wherein

the pointer processing section comprises

a pointer processing section common to respective channels; and

25 a storage section which stores data pertaining to the respective channels into assigned addresses and exchanges the stored data with the pointer processing

section.

[Claim 6] The device for performing overhead termination processing and pointer processing in connection with a synchronous digital hierarchy according to claim 5,

5 wherein the common pointer processing section is constituted as a

triple-consecutive-reception-of-normal-pointer detection section; and the storage section is constituted as RAM for storing pointer information for each channel

10 to be exchanged with the

triple-consecutive-reception-of-normal-pointer detection section.

[Claim 7] The device for performing overhead termination processing and pointer processing in connection with a

15 synchronous digital hierarchy according to claim 5,

wherein the common pointer processing section is constituted as a V5 byte detection section for detecting a V5 byte by comparison between an address value

representing an absolute position of the receiving-side

20 pointer with a received pointer value; and the storage

section is constituted as RAM for storing pointer information for each channel to be supplied to the V5 byte detection section.

[Claim 8] The device for performing overhead termination

25 processing and pointer processing in connection with a

synchronous digital hierarchy according to claim 5,

wherein the common pointer processing section is

constituted as an active pointer value updating section which produces a pointer write signal at the timing of a V3 byte and pointer increment/decrement information when an increment or decrement in pointer value has been  
5 detected, produces a pointer write signal at the timing of a V2 byte and received pointer information when no increment or decrement in pointer value is detected; and

the storage section is constituted as RAM which writes pointer value increment/decrement information  
10 into addresses corresponding to respective channels when the active pointer value updating section has detected an increment or decrement in pointer value and which writes pointer information received at a timing of a V2 byte into addresses corresponding to the respective channels  
15 when the active pointer value updating section does not detect an increment or decrement in pointer value.

#### [DETAILED DESCRIPTION OF THE INVENTION]

[0001] (Table of Contents)

Industrial Field of Utilization

20 Prior Art (Figs. 21 to 24)

Problem that the invention is to solve

Means for solving the problem (Figs. 1 and 2)

Operation (Figs. 1 to 4)

Embodiment (Figs. 5 to 20)

25 Advantage of the Invention

[0002]

[Industrial Field of Utilization] The invention relates

to a device which performs overhead (hereinafter sometimes abbreviated as "OH") termination processing in a synchronous digital hierarchy (hereinafter sometimes abbreviated as "SDH"). With a view toward  
5 implementation of B-ISDN (Broadband Integrated Services Digital Network), the ITU-T (International Telecommunication Union - Telecommunication Standardization Sector) has standardized SDH as an internationally-unified digital hierarchy.

10 [0003] SDH adopts a multiplexing method for multiplexing several low-order group signals by means of assigning overhead to the signals. For this reason, abundant overhead is available at each speed. Here, overhead is de-multiplexed into Section-Overhead (SOH) for a  
15 transmission line and Line-Overhead (POH) for a line. In general, there is adopted a method of multiplexing low-order group signals by means of adding POH to the signals and finally adding SOH to the signals.

[0004] SDH adopts a method of displaying information  
20 (pointer) representing a frame head position (address) of each digital signal within a multiplexed frame. The pointer information is incorporated into overhead.

Accordingly, at the time of transfer of information by way of a synchronous terminal network based on a SONET  
25 (synchronous optical network) or the ITU-T, OH termination and pointer processing, which are based on the SDH, become necessary.

[0005]

[Related Art] Fig. 21 is a view schematically showing a general STM (synchronous transfer mode) network. As shown in Fig. 21, transmission lines 100A, 100B, which are formed from optical fibers, are interposed between STM nodes 100. The STM network is constituted of the STM nodes 100 and the transmission lines 100A, 100B. Various terminals (phones, facsimile terminals, computer terminals, etc) are connected to the STM nodes 100 via a UNI (User-to-Network Interface).

[0006] Here, each of the STM nodes 100 has an NNI (Network-to-Node Interface) capability and an STM switch capability. As shown in Fig. 22, the STM node 100 schematically comprises an O/E (Optical-electro conversion section) 101; an SOH processing section 102; a POH-termination-and-pointer-processing section 103; switching sections 104A, 104B; an SOH processing section 105; and an E/O (Electro-optical conversion section) 106.

[0007] An optical signal (NNI frame signal) of, e.g., 150 Mbps, transmitted over the transmission line 100A or 100B is converted into an electric signal by the O/E section 101. In the SOH processing section 102, the signal is subjected to processing pertaining to section overhead. The signal is then input to the POH-termination-pointer-processing section 103, where the signal is subjected to POH terminal processing and pointer processing in the SDH. Subsequently, a signal



to be sent to a terminal is delivered to a terminal by way of a switch section 104B. A through signal or a signal sent from a terminal is delivered to a POH processing section 104C by way of the switch section 104A, where  
5 the signal is subjected to processing pertaining to a POH. The signal is delivered to an SOH processing section 105. Here, the signal is subjected to processing pertaining to SOH, whereby the signal is again converted back to light as a signal of 150 Mbps by means of the  
10 E/O section 106. The light is delivered to an opposing STM node 100.

[0008] Incidentally, as shown in Fig. 23, the POH-termination-pointer-processing section 103 comprises a POH termination processing section 201; a  
15 de-multiplexing section (DMUX section) 202; a plurality of pointer processing sections 203-1 to 203-n (where "n" is an integer of two or more); and a multiplexing section (MUX section) 204. In reality, the POH-termination-pointer-processing section 103 has  
20 three sets of circuits, the circuit being shown in Fig. 23. Here, the POH termination processing section 201 subjects input data D11 to POH termination processing, as well as receiving another timing signal (J1 byte) T11 and a clock signal C11.

25 [0009] The DMUX section 202 de-multiplexes an output from the POH termination processing section 201 into only signals which are equal in number to channels. The

pointer processing sections 203-k ( $k = 1$  to "n") are provided so as to correspond to respective channels, thereby effecting re-assignment of pointers. To this end, each of the pointer processing sections 203-k  
5 comprises a pointer receipt processing section 203-k1; elastic memory (ES section) 203-k2; and a pointer transmission processing section 203-k3.

[0010] Here, the pointer receipt processing section 203-k1 performs processing (pointer receipt processing)  
10 for finding a V1 byte, a V2 byte, and a V5 byte. The ES section 203-k2 is a storage section which writes V5 byte information produced by the pointer receipt processing section 203-k1 and phone call information at a timing of the input clock signal C11 and which reads  
15 information at a timing of an output clock signal C01. The pointer transmission processing section 203-k3 performs detection and rewriting (pointer transmission processing) of a V1 byte and a V2 byte from V5 byte information read by the ES section 203-k2.

[0011] The MUX section 204 multiplexes data output from respective pointer processing sections 203-k and outputs multiplexed data. In a conventional example shown in Fig. 23, the DMUX section 202 converts the data that have been subjected to OH termination by serial-to-parallel  
25 (S/P) conversion, in accordance with a multiplexing level "n" of input data. Each of the pointer processing sections 203-k individually performs re-assignment of

a pointer. Outputs from the respective pointer processing sections 203-k are subjected to parallel-to-serial (P/S) conversion performed by the MUX section 204. The thus-converted signals are output.

5 Fig. 24 shows a timing chart relating to those processing operations.

[0012] In the case of the conventional example, an input clock signal and an input timing are passed from the POH-termination-processing section 201 to the DMUX  
10 section 202, along with input data. By means of the DMUX section 202, the input clock signal and the input timing are passed to the respective pointer processing sections 203-k (see D111 to D11n and T111 to T11n shown in Fig. 23). A pointer processing section 203-k1 uses the clock  
15 signal and the input timing as a timing and clock signal for writing data into an ES section 203-k2. An output clock signal and an output timing signal are passed from the MUX section 204 to the respective pointer processing sections 203-k (see T011 to T01n shown in Fig. 23). The  
20 pointer transmission processing section 203-k3 uses the clock and timing signals as timing and clock signals for reading data from the ES section 203-k3.

[0013]

[Problem that the invention is to solve] However, under  
25 such a conventional method, the number of pointer processing sections 203-k is incremented in proportion to an increment in the multiplexing level "n" of input

data. This results in an increment in the size of a circuit. Taking this into account, under the present circumstances the multiplexing level "n" cannot be incremented much.

[0014] Under the conventional method, an input clock

5 timing signal (see Ci11 to Ci1n and Ti11 to Ti1n shown in Fig. 23) and an output clock timing signal (see Co11 to Co1n, To11 to To1n shown in Fig. 23) are input to the pointer processing section 203-k. The pointer receipt

processing section 203-k1 and a pointer transmission

10 processing 203-k3 operate at different clock signals (Ci11 and Co11 shown in Fig. 23). For this reason, there

must be adopted a configuration in which input data are de-multiplexed into data sets which are equal in number to the channels; the data are processed on a per-channel

15 basis; and the data sets are again multiplexed and output. [0015] Specifically, as mentioned previously,

according to the conventional pointer technique a plurality of channels are subjected to parallel processing. For this reason, processing circuits must

20 be provided in equal number with the channels. Hence, there has arisen a problem of an increment in the size of a circuit and difficulty in addressing a current massive

traffic volume. The invention has been conceived in light of such a problem. Under today's circumstances

25 in which high-speed processing has become possible in association with progress in development of LSI

technology, the invention aims at providing an overhead

termination and pointer processing device which enables a shift from parallel pointer processing to serial pointer processing and implementation of a higher-speed, smaller circuit and which is based on synchronous digital hierarchy.

[0016]

[Means for Solving the Problem] Fig. 1 is a block diagram showing the principle of the invention. As shown in Fig. 1, reference numeral 1 designates an overhead termination processing section (OH termination processing section). The OH termination processing section 1 performs overhead termination processing of an input signal. Reference numeral 2 designates a clock switching section. The clock switching section 2 switches an overhead-termination-processing-side clock to a pointer-processing-side clock.

[0017] Reference numeral 3 designates a pointer processing section. The pointer processing section 3 subjects, to pointer processing through time-division, an output from the OH termination processing section 1 which is based on the clock-processing-side clock and for which switching has been performed by the clock switching section 2 (these are constituent elements of Claim 1). Fig. 2 is a principle block diagram showing another mode of the invention. As shown in Fig. 2, 1-1 through 1-N (N is an integer of 2 or more) designate overhead termination processing sections. Respective

overhead termination processing sections 1-j ( $j=1$  to  $N$ ) are provided so as to correspond respectively to a plurality ( $N$ ) of input signals. The respective input signals are subjected to overhead termination processing in a mutually asynchronous manner.

[0018] Reference numerals 2-1 to 2- $N$  designate clock switching sections. Respective clock switching sections 2- $j$  are provided so as to correspond to the respective OH termination processing sections 1- $j$ . The clock switching sections switch outputs from the respective OH termination processing sections 1- $j$  from respective an overhead-termination-processing-side clock to a common pointer-processing-side clock.

Reference numeral 4 designates a multiplexing section.

The multiplexing section 4 multiplexes outputs from the respective OH termination processing sections 10j which have been switched to a common pointer-processing-side clock by the respective clock switching sections 2- $j$ .

[0019] Reference numeral 4 designates a pointer processing section. The pointer processing section 3 perform pointer processing of an output from the multiplexing section 4 through time division. Reference numeral 5 designates a de-multiplexing section. The de-multiplexing section 5 switches an output from the pointer processing section from the pointer-processing-side clock  $C_o$  and a timing  $T_p$  to a clock  $C_o$  and a timing  $T_o$  which are synchronous with an

output signal, thereby de-multiplexing the output from the pointer processing section 3 into a plurality of output signals (those elements are constituent elements of claim 2).

5 [0020] The device shown in Fig. 2 comprises a dummy signal generation section for generating a dummy signal, and a multiplexing section 4 is configured to multiplex outputs from the respective overhead termination processing sections 1-j, which are based on the  
10 common-pointer-processing-side clock signal and for which switching has been performed by the clock switching sections 2-j. A de-multiplexing clock to be used by the de-multiplexing section 5 may be used as the pointer-processing-side clock (Claim 3).

15 [0021] In relation to the device shown in Figs. 1 and 2, the clock switching sections 2, 2-j and the pointer processing section 3 may be configured in the manner as mentioned below. Specifically, each of the clock switching sections 2, 2-j may be configured to comprise  
20 a latching section for latching an output from the overhead termination processing sections 1, 1-j in accordance with the overhead-termination-processing-side clock; and a gate section which outputs an output from the latching section in accordance with the pointer-processing-side  
25 clock (Claim 4).

[0022] The pointer processing section 3 can be configured to comprise a pointer processing section

common to respective channels; and a storage section which stores data pertaining to the respective channels into assigned addresses and exchange the stored data with the pointer processing section (Claim 5). At this time,  
5 the common pointer processing section can be constituted as a triple-consecutive-reception-of-normal-pointer detection section; and the storage section can be constituted as RAM for storing pointer information for each channel to be exchanged with the  
10 triple-consecutive-reception-of-normal-pointer detection section (Claim 6).

[0023] The common pointer processing section is constituted as a V5 byte detection section for detecting a V5 byte by comparison between an address value  
15 representing an absolute position of the receiving-side pointer with a received pointer value. The storage section can be constituted as RAM for storing pointer information for each channel to be supplied to the V5-byte detection section (Claim 7). Further, the common pointer  
20 processing section is constituted as an active pointer value updating section which produces a pointer write signal at the timing of a V3 byte and pointer increment/decrement information when an increment or decrement in pointer value has been detected, produces  
25 a pointer write signal at the timing of a V2 byte and received pointer information when no increment or decrement in pointer value is detected. The storage



section can be constituted as RAM which writes pointer value increment/decrement information into addresses corresponding to respective channels when the active pointer value updating section has detected an increment or decrement in pointer value and which writes pointer information received at a timing of a V2 byte into addresses corresponding to the respective channels when the active pointer value updating section does not detect an increment or decrement in pointer value (Claim 8).

10 [0024]

[Operation] First, in a device of the invention shown in Fig. 1 which performs overhead termination processing and pointer processing in connection with a synchronous digital hierarchy, the overhead termination processing section 1 performs overhead termination processing of an input signal. The clock switching section 2 switches an output from the overhead termination processing section 1 from an overhead-termination-processing-side clock signal to a pointer-processing-side clock signal. The pointer processing section 3 subjects, to pointer processing through time-division, an output from the overhead termination processing section 1 which is based on the clock-processing-side clock and for which switching has been performed by the clock switching section 2 (Claim 1).

[0025] Fig. 3 shows an example of timings (phase relationship) of data appearing at individual sections

of the device shown in Fig. 1. In relation to the device of the invention shown in Fig. 2 which performs overhead termination processing and pointer processing in connection with a synchronous digital hierarchy, the  
5 respective overhead processing sections 1-j perform overhead termination processing of the input signals in a mutually asynchronous manner. The respective clock switching sections 2-j switch outputs from the respective overhead termination processing sections 1-j from  
10 respective overhead-termination-processing-side clocks to a common pointer-processing-side clock. The multiplexing section 4 multiplexes outputs from the respective overhead termination processing sections 1-j, which are based on the common-pointer-processing-side  
15 clock signal and for which switching has been performed by the clock switching sections 2-j. The pointer processing section 3 effects pointer processing of an output from the multiplexing section 4 through time division. The de-multiplexing section 5 de-multiplexes  
20 an output from the pointer processing section 3 into a plurality of output signals by means of switching the pointer-processing-side clock  $C_p$  and a timing  $T_p$  to a clock  $C_o$  and a timing  $T_o$ , which are synchronous with the output signal (Claim 2).

25 [0026] Fig. 4 shows an example of timings (phase relationship) of data appearing at individual sections of the device shown in Fig. 2. When the device shown

in Fig. 2 is equipped with a dummy signal generation section, the multiplexing section 4 is configured so as to multiplex outputs from the respective overhead termination processing sections 1-j, the outputs having been switched to a common-pointer-processing-side clock by the respective clock switching sections 2-j, and a dummy signal output from the dummy signal generation section. At this time, a de-multiplexing clock to be used in the de-multiplexing section 5 is used as the pointer-processing-side clock (Claim 3).

[0027] In the device shown in Figs. 1 and 2, when each of the clock switching sections 2 and 2-j is constituted of a latching section and a gate section, the latching section latches outputs from the overhead termination processing sections 1, 1-j in accordance with the overhead-termination-processing-side clock; and the gate section delivers outputs from the latching sections in accordance with the pointer-processing-side clock (Claim 4). When the pointer processing section 3 is constituted of a pointer processing section common to respective channels and a storage section. The storage section stores data pertaining to the respective channels into assigned addresses and exchanges the stored data with the pointer processing section (Claim 5).

[0028] At this time, the common pointer processing section is constituted as a triple-consecutive-reception-of-normal-pointer

detection section, and the storage section is constituted as RAM. In this case, the RAM stores pointer information for each channel to be exchanged with the triple-consecutive-reception-of-normal-pointer

5 detection section (Claim 6). Further, the common pointer processing section is constituted as a V5 byte detection section for detecting a V5 byte by comparison between an address value representing an absolute position of the receiving-side pointer with a received pointer value;  
10 and the storage section is constituted as RAM for storing pointer information for each channel to be supplied to the V5 byte detection section (Claim 7).

[0029] When the common pointer processing section is constituted as an active pointer value updating section,  
15 and the storage section is constituted of RAM. In this case, the active pointer value updating section produces a pointer write signal at the timing of a V3 byte and pointer increment/decrement information when an increment or decrement in pointer value has been detected,  
20 produces a pointer write signal at the timing of a V2 byte and received pointer information when no increment or decrement in pointer value is detected. The RAM writes pointer value increment/decrement information into addresses corresponding to respective channels when the  
25 active pointer value updating section has detected an increment or decrement in pointer value and writes pointer information received at a timing of a V2 byte into

addresses corresponding to the respective channels when the active pointer value updating section does not detect an increment or decrement in pointer value (Claim 8).  
[0030]

5 [Embodiments] An embodiment of the invention will now be described by reference to drawings. Fig. 5 is a block diagram showing an embodiment of the invention. Fig. 5 shows a POH termination and pointer processing device in an STM node (the device corresponds to the POH  
10 termination-pointer-processing section 103 shown in Fig. 22).

[0031] As shown in Fig. 5, the POH termination and pointer processing device is constituted of three POH termination processing sections 11-1 to 11-3; three clock switching  
15 sections 12-1 to 12-3; a multiplexing section (MUX section) 14; a common pointer processing section 13; a de-multiplexing section (DMUX section) 15; and a dummy signal generation section 16. Here, POH termination processing sections 11-j are provided so as to correspond  
20 to three respective input signal channels (a signal of 50 Mbps). Input signals are subjected to POH termination processing in a mutually-asynchronous manner.

[0032] The respective clock switching sections 12-j are provided so as to correspond to the respective POH  
25 termination processing sections 11-j. Outputs (e.g., input data  $D_{ij}$ , a timing signal  $T_{ij}$ ) from the respective OH termination processing sections 11-j are switched from

outputs based on respective overhead termination processing clock signals  $C_{ij}$  to those based on a common pointer-processing-side clock signal  $Co_j$ . As shown in Fig. 8, each of the clock switching sections 12-j is constituted of a latching section 12-j-1 having three latches 12-j-11 to 12-j-13 for latching an output from the POH termination processing section at a POH termination processing side clock signal  $C_{ij}$  (i.e., a clock signal  $C_{ij}'$  formed by subjecting the POH termination processing clock signal  $C_{ij}$  to 1/3 frequency division); a latching section 12-j-2 having three AND gates 12-j-21 to 12-j-23 and an OR gate 12-j-24 for outputting an output from the latch section 12-j-1 according to a pointer-processing-side clock signal  $Co$  (i.e., a clock signal  $Co'$  formed by subjecting the pointer-processing-side clock signal  $Co$  to 1/3 frequency division); and a latching section 12-j-3 which latches an output from the gate section 12-j-2 at the pointer-processing-side clock signal  $Co$ .

[0033] Each of the clock switching sections 12-j has frequency dividers 12-j-4 and 12-j-5 which subject the POH termination processing clock signal  $C_{ij}$  and the pointer-processing-side clock signal  $Co$  to 1/3 frequency division and send the resultant signals to the latches 12-j-11 to 12-j-13 or the AND gates 12-j-21 to 12-j-23. The dummy signal generation section 16 produces dummy signals (dummy data  $DM$ , and a dummy timing signal  $Ti4$ ).

[0034] The MUX section 14 multiplexes outputs from the respective POH termination processing sections-11-j which have been switched to the common pointer-processing-side clock signal Co by the respective clock switching sections 12-j and a dummy signal output from the dummy signal generation section 16. To this end, as shown in Fig. 9, the MUX section 14 comprises an MUX section 14a for multiplexing data  $D_{ij}'$  ( $j=1$  to 3) output from the respective POH termination sections 11-j and a dummy (DM) signal output from the dummy signal generation section 16; an MUX section 14b for multiplexing timing signals  $T_{ij}'$  ( $j= 1$  to 3) from the respective POH termination sections 11-j and a dummy signal ( $T_{i4}$ ) output from the dummy signal generation section 16; and a  $\frac{1}{4}$  frequency divider 14c which produces, from the pointer-processing-side clock signal Co and a pointer-processing-side timing signal To, a multiplex signal to be output to the MUX sections 14a, 14b.

[0035] The MUX section 14a has four AND gates 14a-1 to 14a-4 and an OR gate 14a-5. The MUX section 14b has four AND gates 14b-1 to 14b-4 and an OR gate 14b-5. The pointer processing section 13 subjects an output from the MUX section 14 to pointer processing (i.e., re-assignment of a pointer) through timing division processing. For this reason, the pointer processing section 13 has a pointer receipt processing section 13-1, elastic memory (ES section) 13-2, and a pointer

transmission processing section 13-3.

[0036] Here, the pointer receipt processing section 13-1 performs processing for finding a V1 byte, a V2 byte, and a V5 byte (i.e., pointer receipt processing). The

5 ES section 13-2 is a storage section which writes the V5 byte information acquired by the pointer receipt processing section 13-1 and phone call information at a timing signal T14 output from the MUX section with the clock signal Co and which reads information at a

10 pointer-processing-side timing signal To by use of the clock signal Co. A pointer transmission processing section 13-3 rewrites a V1 byte and a V2 byte (i.e., subjects the V1 and V2 bytes to pointer transmission processing) from the information read by the ES section

15 13-2. The pointer receipt processing section 13-1, the elastic memory (ES section) 13-2, and the pointer transmission processing section 13-3 perform a multiplexing operation for a given period of time on a per-channel basis.

20 [0037] The DMUX section 15 de-multiplexes an output from the pointer processing section 13 into a plurality of output signals (data Do1 to Do3). In this example, a clock signal for multiplexing and de-multiplexing purpose to be used by the MUX section 14 and the DMUX

25 section 15 is employed as the pointer-processing-side clock signal Co. When a dummy signal is not multiplexed by the MUX section 14, the DMUX section 15 must switch



an output from the pointer processing section 13 from the pointer-processing-side clock timing to a clock timing synchronous with an output signal.

[0038] By means of the configuration, the following operation is performed. In the embodiment, three sets of signals exist; that is, a set comprising an STS-1-level signal (data Di1), a clock signal (Ci1), and a timing signal (Ti1); a set comprising an STS-1-level signal (data Di2), a clock signal (Ci2), and a timing signal (Ti2); and a set comprising an STS-1-level signal (data Di3), a clock signal (Ci3), and a timing signal (Ti3). These signal sets are input asynchronously with each other. Here, an STS-1-level signal is assumed to represent 1-byte data at two-parallel four clock cycles.

[0039] The signals are subjected to 2-to-8 serial-to-parallel conversion (S/P) by the POH termination processing sections 11-1 to 11-3. After the signals have been converted into 1-byte data at eight-parallel one clock, the data are further subjected to OH processing and clock switching processing. Among the output data that have been subjected to OH processing, an OH data portion is taken as dummy data in subsequent processing operations.

[0040] The clock switching sections 12-1 to 12-3 switch the respective STS-1 signals to a timing (clock) signal Co' produced by the MUX section 14 on the basis of the system clock signal Co. The MUX section 14 adds 8-bit

dummy data to each of outputs from the respective clock switching sections 12-1 to 12-3, thereby incrementing the volume of data to 32 bits. The outputs are subjected to parallel-to-serial (P/S) conversion at a ratio of 32:8.

5 The resultant data or signals are output (i.e., as data D14 and a timing signal T14).

[0041] The pointer processing section 13 re-assigns a VT-level pointer to data at the system timing  $T_0$  and outputs the resultant data (i.e., data D13). The DMUX  
10 section 15 does not subject an output from the pointer processing section 13 to serial-to-parallel (S/P) conversion at a ratio of 8:32 and curtails 8-bit dummy data, thereby producing sets of pointer processing outputs. Further, an output data format is also  
15 subjected to P/S conversion at a ratio of 8:4.

[0042] Figs. 6 and 7 show signal timings at individual sections. In this way, attention has been paid to the periodicity of data multiplexing in connection with input data based on an SDH. The pointer processing circuit  
20 is used in a time-sharing manner. In order to activate the pointer processing section 13 at an output clock timing, there are provided clock switching sections 12-j, each switching an output from the POH termination processing section 11-j to an output clock timing. A common pointer  
25 processing clock signal is input to the respective clock switching sections 12-j, to thereby synchronize and multiplex outputs from the respective clock switching

sections 12-j. The thus-multiplexed output is subjected to pointer processing in the pointer processing section 13. An output from the pointer processing section is de-multiplexed, thereby producing respective pointer processing outputs. This yields the following effects or advantages.

[0043] (1) The number of pointer processing sections 13 is reduced to one. As a result, a logic section of the pointer processing section 13 is shared, thereby reducing the size of a circuit.

(2) The pointer processing section 13 operates at a single clock signal. As a result, a circuit configuration of the common pointer processing section 13 which performs time-division processing can be applied to a plurality of POH-termination-and-pointer processing operations which are asynchronous with each other.

(3) A circuit configuration of the common pointer processing section 13 which performs a time division operation can be applied to a plurality of POH-termination-and-pointer-processing operations which are asynchronous with each other. A further reduction in the size of a circuit can be realized.

[0044] (4) By addition of dummy data, a clock signal of the pointer processing section 13 can be used as an output clock signal, thereby obviating a necessity for producing a clock signal for a pointer processing section and reducing the size of a circuit. Specifically, in

the case of input data of certain multiplexing level, a desired function can be implemented by use of a circuit of smaller size as compared with that employed in pointer processing under a conventional method. A circuit of  
5 certain size can process a signal of greater multiplexing level than a signal processed by a conventional circuit. There can be realized a circuit configuration for effecting serial point processing of a plurality of data inputs which are asynchronous with each other. As a  
10 result, the size of a circuit can be reduced significantly, while obviating a necessity for producing a system clock signal specifically designed for a pointer processing section.

[0045] Consecutive triple detection of reception of a  
15 normal pointer, updating of an active pointer value, and detection of a V5 byte can be described as specific examples of pointer processing performed by the pointer processing section 13. One example circuitry for performing these operations is shown in Fig. 10. The  
20 circuitry shown in Fig. 10 is equipped with a triple-consecutive-reception-of-normal-pointer detection circuit 20, an active pointer updating circuit 30, and a V5 byte detection circuit 40.

[0046] First, the  
25 triple-consecutive-reception-of-normal-pointer detection circuit 20 will be described. The circuit 20 enables detection of triple consecutive receipt of a

normal pointer through serial processing. As shown in Fig. 11, the circuit 20 has a normal pointer detection circuit 21; a comparison section 22; a data-all-one conversion section 23; and a common pointer processing section including AND gates 24, 25 serving as logical AND circuits. Further, the circuit 20 comprises RAM (storage section) 26 and an address generation section (RAM control section) 27. The RAM 26 stores, in a required address, pointer information for each channel which is to be exchanged with triple-consecutive-reception-of-normal-pointer detection sections (see elements 22 to 25). The address generation section 27 extracts from the RAM 26 pointer information corresponding to a channel.

[0047] Here, the normal pointer detection circuit 21 determines whether or not a received pointer is a normal pointer. The comparison section 22 detects a match existing between a point value of the frame obtained by the RAM 26 and the received pointer. Further, the data-all-one conversion section 23 sets all inputs to the RAM 26 to "one" when the received pointer is not a normal pointer. The data-all-one conversion section 23 comprises an inversion circuit 23-1 for inverting an output from the normal pointer detection circuit 21; and an OR gate 23-2 which produces a logical OR product between an output from the inversion circuit 23-1 and the received pointer.

[0048] The AND gate 24 produces a logical AND product between an output from the normal pointer detection circuit 21 and an output from the comparison section 22. Further, the AND gate 25 produces a logical AND product  
5 between an output from the AND gate 24 and an output from the RAM 26. An output from the AND gate 25 becomes an output from the circuit 20. Consequently, in the circuit shown in Fig. 11, a received pointer is input to both the normal pointer detection section 21 and the comparison  
10 section 22. The comparison section 22 compares the received pointer with information about a pointer of a preceding frame read from an address of the RAM 26 corresponding to a predetermined channel. A result of comparison is written into the address of the RAM 26  
15 corresponding to a predetermined channel for retaining data to the next frame. Concurrently, a logical AND product between a result of detection of a coincidence performed by the comparison section 22 and a result of detection of an identical pointer value (performed by  
20 the RAM 26) is taken as a result of consecutive triple receipt of a normal pointer.

[0049] Fig. 12 is a view showing the configuration of the RAM 26. Bit 1 shown in Fig. 12 designates detection of an identical pointer value. When a normal pointer  
25 identical with that of a preceding frame (a bit 2 shown in Fig. 12) is received, the bit 1 becomes high. The bit 2 shown in Fig. 12 is for retaining a received pointer

to the next frame. There is a necessity for retaining information as to whether or not a received pointer is a normal pointer. When a pointer other than a normal pointer is received, the data-all-one conversion section

5 23 sets all the bits 2 shown in Fig. 12 to high.

Accordingly, addition of a new bit, such as a bit 3 shown in Fig. 12, is prevented. Specifically, only information about the bits 1 and 2 shown in Fig. 12 is stored in the RAM 26 so as to correspond to channels.

10 [0050] Triple consecutive receipt of a normal pointer will now be described by taking processing of a VT pointer of STS transmission format as an example. Triple consecutive receipt of a normal pointer is detected at a timing of a V2 byte. A timing chart is shown in Fig.  
15 13. The following can be seen from Fig. 13. Specifically, provided that the circuit 20 operates at a received pointer value " " and receives " " in a frame 2, the output 2 from the RAM 26 becomes unequal to the received pointer (i.e., a pointer value of the preceding frame). An  
20 input 1 to the RAM 26 (detection of an identical pointer) becomes 0.

[0051] When "INV" (a pointer which is not a normal pointer) has been received through the frame 3, the data-all-one conversion section 23 sets all bits of the  
25 received pointer to one. The pointer is written into the RAM 26 as the input 2. Subsequently, when " " is received three times consecutively in frames 4, 5, and

6, in frame 6 the received pointer value becomes equal to the output 2 from the RAM 26, and the output 2 from the RAM 26 becomes equal to one. Thus, triple consecutive receipt of a normal pointer (NORx3) is detected.

5 [0052] As a result, when triple consecutive receipt of a normal pointer is detected through serial processing, the number of bits of the RAM 26 to be used can be reduced. Consequently, there can be provided means for minimizing the size of a circuit and power consumption. Next, the  
10 active pointer value updating circuit 30 will now be described. When having detected an increment or decrement in pointer value (an increment in pointer value is often referred to as "INC"; a decrement in pointer value is often referred to as "DEC"; and an increment  
15 or decrement in pointer value is referred to as an "INC/DEC"), the circuit 30 produces a pointer write signal at a timing of a V3 byte and produces pointer value increment/decrement information. When neither an increment nor a decrement (INC/DEC) in pointer value is  
20 detected, a pointer write signal is produced at a timing of V2 byte, and received pointer information is also produced. Therefore, as shown in Fig. 16, the active pointer value updating circuit 30 has, as a common pointer processing section, an INC/DEC detection circuit 31, a  
25 pointer value increment/decrement section 32, selectors 33, 34, and an AND gate 35. Further, the active pointer value updating circuit 30 has RAM 36 and an address



generation section (RAM control section) 37. When the active pointer value updating section (see the members 31 through 35) has detected an increment or decrement in pointer value (INC/DEC), pointer value

5 increment/decrement information is written into addresses on the RAM 36 corresponding to the respective channels. When the active pointer value updating section does not detect any increment or decrement in pointer value, received pointer information is written into

10 addresses corresponding to the respective channels at a timing of V2 byte. The address generation section 37 acquires from the RAM 36 pointer information corresponding to a channel. A pointer absolute address generation section 42, which will be described later,

15 doubles as the address generation section 37.

[0053] Here, the INC/DEC detection circuit 31 detects an increment or decrement in a pointer value upon receipt of received pointer information. A result of detection is input to the pointer value increment/decrement section

20 32 and the selector 33. When the INC/DEC detection circuit 31 has detected an increment or decrement in pointer value, the pointer value increment/decrement section 32 produces pointer value increment/decrement information (i.e., a preceding pointer value +1 or a

25 preceding pointer value -1). When the INC/DEC detection circuit 31 does not detect any increment or decrement in pointer value, received pointer information (a

preceding pointer value +0) is produced.

[0054] When the INC/DEC detection circuit 31 has detected an increment or decrement in pointer value, the selector 33 selects a V3 byte timing signal and supplies the signal as a pointer write signal to the RAM 36. In contrast, when the INC/DEC detection circuit 31 does not detect any increment or decrement in pointer value, the selector 33 selects a V2 byte timing signal and supplies the signal as a pointer write signal to the RAM 36.

[0055] In response to a signal output from the AND gate 35, the selector 34 selects a received pointer or an output from the pointer value increment/decrement section 32. The AND gate 35 produces a logical AND product between a triple-consecutive-receipt-of-a-normal-pointer detection signal NORx3 (this signal is high when a normal pointer has been received consecutively three times) and a V2 timing signal. An output from the AND gate 35 is a selection control signal for the selector 34.

[0056] An output from the RAM 36 is supplied to an input side of the pointer value increment/decrement section 32 as well as to a comparison section 42 of a V5 byte detection circuit 40 as information about an active pointer value (ACT-PTR value). An ACT-PTR value is updated at the time of detection of INC/DEC, for the following reasons. Specifically, V5 byte is detected on the basis of an ACT-PTR value, an ACT-PTR value must assume a pre-updating value during a period from V2 byte

to V3 byte. Therefore, the ACT-PTR value is considered to be preferably changed at V3 byte and subsequent bytes, where pre-updating ACT-PTR value is not required (see Fig. 17).

5 [0057] Consequently, in relation to the circuit shown in Fig. 16, the INC/DEC detection circuit 31 first detects an INC/DEC from a received pointer. If no INC/DEC is detected, the received pointer is written into the RAM 36 at a timing of V2 byte. Conversely, if an INC/DEC is detected, nothing is performed at a timing of V2 byte. At a timing of V3 byte, ACT-PTR value +1 is written into the RAM 36 when INC has been detected. In contrast, ACT-PTR value -1 is written into the RAM 36 when DEC has been detected.

15 [0058] The timing chart shown in Fig. 18 will now be described by means of taking VT pointer processing of STS transmission format as an example. The active pointer value updating circuit is assumed to be currently operating at ACT-PTR value " ." When the received pointer value of the next frame is assumed to display INC with respect to " ," the ACT-PTR value is not updated at a timing of V2 byte; the ACT-PTR value is updated to " +1" at a timing of V3 byte.

20 [0059] Further, when a received pointer of the next frame is assumed to be "NDF-enable" (a pointer value is to be changed immediately) " ," the ACT-PTR value is updated at a timing of V2 byte in a conventional manner, thereby

assuming " ." The following can be seen from the foregoing descriptions. At the time of detection of V5 byte, the ACT-PTR value must be determined.

Determination (updating) of the ACT-PTR value is

5 performed in two ways: that is, a case where a pointer value jumps to an arbitrary position, and a case where the pointer value assumes +1 (INC) or -1 (DEC). During conventional parallel pointer processing, in either case the pointer value has been updated at the timing of V2.

10 In a case where serial pointer processing is effected for the latter case, if V5 byte is positioned between V2 byte and V3 byte and INC or DEC arises at this time, V5 byte is shifted faster than in an actual case by one frame. Update timing of the ACT-PTR value at the time

15 of occurrence of INC/DEC is reviewed in the manner as mentioned above, and hence the pointer value can be updated at an appropriate timing.

[0060] There will now be described a V5 byte detection circuit 40. The circuit 40 detects V5 byte while

20 comparing an address value representing the absolute value of a receiving-side pointer with a received pointer value. Therefore, as shown in Fig. 14, the V5 byte detection circuit 40 has, as a common pointer processing section, the ACT-PTR value determination circuit 30, a

25 pointer absolute address generation section 41, and a comparison section 42. Further, the V5 byte detection circuit 40 has RAM 43 which stores pointer information

for each channel to be supplied to a V5-byte detection section (see reference numeral 30). The RAM 43 is identical with the RAM 36 described in connection with Fig. 16; a different reference numeral is assigned to the RAM solely for the sake of convenience.

[0061] Here, the ACT-PTR value determination circuit 30 determines an ACT-PTR value while updating the same. The configuration and operation of the circuit have already been described, and hence its detailed explanation is omitted. The pointer absolute address generation section 41 produces an address value representing the absolute position of a receiving-side pointer. The pointer absolute address generation section 41 also acts as an address generation section (RAM control section) of the RAM 43.

[0062] The comparison section 42 detects V5 byte, by means of comparing an address value which is output from the pointer absolute address generation section 41 and shows an absolute position of the receiving-side pointer with a pointer value received from the RAM 43. By means of such a configuration, the ACT-PTR value determined from the received pointer by the ACT-PTR value determination circuit 30 is temporarily held in the RAM 43. The ACT-PTR value is read from the RAM 43 at a required timing. In contrast, the pointer absolute address generation section 41 compares input data with the ACT-PTR value that is rotated at a given cycle without regard

to the ACT-PTR value and currently operating. Input data whose timing has coincided with the ACT-PTR value are taken as a V5 byte.

[0063] VT pointer processing of STS transmission format  
5 will now be described by use of the timing chart shown in Fig. 15. First, a pointer absolute address is synchronous with an FP (frame pulse) input from the outside and produced such that the position of a byte next to V2 byte assumes an address 0. The ACT-PTR value is updated  
10 at the timing of V2 byte. In Fig. 15, the ACT-PTR value becomes equal to a pointer absolute address at a pointer value of "3" and a pointer value of "4". As a result, a V5 byte can be detected.

[0064] In this way, the pointer absolute address (an  
15 address showing the absolute position of a pointer) is prepared and compared with an ACT-PTR value whenever necessary. A location where a match arises between the ACT-PTR value and the pointer absolute address is determined to be the location of V5 byte. As a result,  
20 a conventional method of counting a pointer value for each channel can be reviewed. Hence, a reduction in the size of a circuit and power consumption can be achieved.

[0065] Detection of triple consecutive receipt of a normal pointer, updating of an active pointer value, and  
25 detection of a V5 byte have been mentioned and described as specific examples of pointer processing to be performed by the pointer processing section 13. Generally speaking,

as shown in Fig. 19 or 20, the pointer processing section 13 can be configured so as to have a pointer processing section 50 common to channels; a storage section (RAM) 60 which stores data pertaining to the channels into assigned addresses and exchanges the storage data with the pointer processing section 50; and a storage section control section (an address generation section for writing and reading purposes) 70 for controlling the storage section 60. As a result, pointer processing sections which have hitherto been equal in number to channels can be realized in the form of a single pointer processing section to be shared. Hence, storage sections of respective channels can be grouped into a single storage section.

[0066] Specifically, the input serial data are input to the pointer processing section 50. Pointer information up to that of a preceding frame is read from the storage section 60, and the thus-read information is input to the pointer processing section 50.

Processing is performed again and the results are written into the storage section 60. The storage section control section 70 controls data for respective channels such that assigned addresses are accessed. A channel is managed by means of producing an address constituted of a counter and writing data into and reading data from a required address on the RAM 60. The pointer processing section 50 is shared among channels and can be used in

a time-sharing manner in order of data input.

[0067] As a result, in the present situation under which high-speed processing has become possible in association with progress in development of an LSI, there can be implemented a small-scale circuit which enables a shift from parallel pointer processing to serial pointer processing.

[0068]

[Effects of the Invention] As has been described in detail, according to the invention, attention is paid to the periodicity of an SDH in connection with SDH pointer processing. A pointer processing circuit is used in a time-sharing manner. Further, in connection with OH termination and pointer processing, the pointer

processing circuit is activated at a single clock. Hence, an OH termination clock is separated from a pointer processing clock. Further, there is provided a clock switching circuit. Hence, in the case of input data of identical multiplexing level, a predetermined function can be achieved by means of a circuit smaller in scale than that required by pointer processing under a conventional method. Moreover, a signal of greater multiplexing level can be processed with the same circuit scale (Claim 1).

[0069] According to the invention, during a plurality of OH termination and pointer processing operations which are asynchronous with each other, a pointer processing



clock signal common to respective clock switching sections is input through use of a common pointer processing section capable of performing a time-division operation. Outputs from the respective clock switching sections are synchronized together, and a multiplexing section is provided at outputs of the clock switching sections. A de-multiplexing section is disposed at an output of the pointer processing section. As a result, there can be realized a circuit configuration of a common pointer processing section capable of performing a time-division operation in response to a plurality of data inputs which are asynchronous with each other. Hence, a circuit scale can be reduced much further (Claim 2).

[0070] According to the invention, a dummy signal is added to the outputs of the clock switching sections, and a multiplexed/de-multiplexed clock signal is used for the clock of the pointer processing section. Hence, there is obviated a necessity for generating a system clock signal specifically designed for the pointer processing section, thereby diminishing a circuit scale (Claim 3). The clock switching section comprises a latching section for latching an output from the OH termination processing section in accordance with an OH termination-processing-side clock signal; and a gate section for outputting an output from the latching section in accordance with a pointer-processing-side clock

signal. Clock switching can be realized in the form of a simple circuit (Claim 4).

[0071] According to the invention, attention is paid to the periodicity of an SDH in connection with SDH pointer processing. At the time of realization of serial pointer processing using the pointer processing section in a time-sharing manner, there is used a storage section which stores data pertaining to respective channels into addresses assigned to the channels and exchanges stored data with the pointer processing section, in order to reduce a circuit scale. Hence, the size of a circuit can be greatly reduced. A peripheral processing circuit of the storage section can be shared and simplified. Further, a great contribution can be made to miniaturization of a communications device, a drop in power consumption, and an increment in information traffic (Claim 5).

[0072] Further, the triple-consecutive-receipt-of-a-normal-pointer detection section, which is one of pointer actions, is adopted as a common pointer processing section. Further, RAM is adopted as a storage section for the triple-consecutive-receipt-of-a-normal-pointer detection section. Information that a received pointer is not a normal pointer is represented in a bit region of a received pointer value. Thus, the number of bits of RAM can be diminished, thereby reducing a circuit scale

and power consumption (Claim 6).

[0073] At the time of detection of a V5 byte from a received pointer value, there is prepared an address showing an absolute position of a received pointer. A V5 byte is detected by comparison between the address and the received pointer value. Hence, a conventional method of counting a pointer value on a per-channel basis can be reviewed. As a result, a contribution can be made to reduce a circuit scale and power consumption (Claim 7).

[0074] Moreover, an active pointer value produced when a pointer action, such as a pointer increment or pointer decrement action, has arisen is updated at the timing of a V3 byte. Hence, the active pointer value can be updated at an appropriate timing (Claim 8).

#### [Brief Description of the Drawings]

Fig. 1 is a block diagram showing the principle of the invention;

Fig. 2 is a principle block diagram showing another mode of the invention;

Fig. 3 is an example of a timing chart of the device shown in Fig. 1;

Fig. 4 is an example of a timing chart of the device shown in Fig. 2;

Fig. 5 is a block diagram showing an embodiment of the invention;

Fig. 6 is a timing chart of the device shown in Fig.

5;

Fig. 7 is a timing chart of the device shown in Fig.

5;

Fig. 8 is a block diagram showing a clock switching  
5 section;

Fig. 9 is a block diagram of a multiplexing section;

Fig. 10 is a block diagram of the principal section  
of a pointer processing section;

Fig. 11 is a block diagram showing a  
10 triple-consecutive-receipt-of-a-normal-pointer  
detection section;

Fig. 12 is a view for describing the bit  
configuration of the RAM used for  
triple-consecutive-receipt-of-a-normal-pointer  
15 detection;

Fig. 13 is a timing chart for describing operation  
of the triple-consecutive-receipt-of-a-normal-pointer  
detection section;

Fig. 14 is a block diagram of a V5 byte detection  
20 circuit;

Fig. 15 is a timing chart for describing the  
operation of the V5 byte detection circuit;

Fig. 16 is a block diagram of an active pointer value  
updating circuit;

25 Fig. 17 is a view for describing the operation of  
the active pointer value updating circuit;

Fig. 18 is a timing chart for describing the

operation of the active pointer value updating circuit;

Fig. 19 is a block diagram showing the schematic configuration of the principal section of the pointer processing section;

5 Fig. 20 is a block diagram showing the schematic configuration of the principal section of the pointer processing section;

Fig. 21 is a schematic view showing an STM network;

10 Fig. 22 is a block diagram showing the schematic configuration of an STM node;

Fig. 23 is a block diagram showing a conventional example; and

Fig. 24 is a timing chart for describing the operation of the related-art example.

15 [Description of the Reference Numerals]

1, 1-j OVERHEAD TERMINATION PROCESSING SECTION (OH TERMINATION PROCESSING SECTION)

2, 2-j CLOCK SWITCHING SECTION

3 POINTER PROCESSING SECTION

20 4 MULTIPLEXING SECTION

5 DE-MULTIPLEXING SECTION

11-j POH TERMINATION PROCESSING SECTION

12-j CLOCK SWITCHING SECTION

12-j-1 LATCHING SECTION

25 12-j-11 TO 12-j-23 LATCHES

12-j-2 GATE SECTION

12-j-21 TO 12-j-23 AND GATES

12-j-24 OR GATE  
 12-j-3 LATCHING SECTION  
 12-j-4, 12-j-5 FREQUENCY DIVIDER  
 13 POINTER PROCESSING SECTION  
 5 13-1 POINTER RECEIPT PROCESSING SECTION  
 13-2 ELASTIC MEMORY (ES SECTION)  
 13-3 POINTER TRANSMISSION PROCESSING SECTION  
 14, 14a, 14b MULTIPLEXING SECTION (MUX SECTION)  
 14a-1 TO 14a-4, 14b-1 TO 14b-4 AND GATES  
 10 14a-5, 14b-5 OR GATES  
 15 DE-MULTIPLEXING SECTION (DMUX SECTION)  
 16 DUMMY SIGNAL GENERATION SECTION  
 20  
 TRIPLE-CONSECUTIVE-RECEIPT-OF-A-NORMAL-POINTER  
 15 DETECTION SECTION  
 21 NORMAL POINTER DETECTION CIRCUIT  
 22 COMPARISON SECTION  
 23 DATA-ALL-ONE CONVERSION SECTION  
 24, 25 AND GATES  
 20 26 RAM (STORAGE SECTION)  
 30 ACTIVE POINTER VALUE UPDATING CIRCUIT  
 32 POINTER VALUE INCREMENT/DECREMENT DETECTION  
 CIRCUIT  
 33, 34 SELECTORS  
 25 35 AND GATE  
 36 RAM (STORAGE SECTION)  
 37 ADDRESS GENERATION SECTION (RAM CONTROL SECTION)

40 V5 BYTE DETECTION CIRCUIT  
 41 POINTER ABSOLUTE ADDRESS GENERATION SECTION  
 42 COMPARISON SECTION  
 43 RAM (STORAGE SECTION)  
 5 50 COMMON POINTER PROCESSING SECTION  
 60 STORAGE SECTION (RAM)  
 70 STORAGE SECTION CONTROL SECTION (SECTION FOR  
 GENERATING READ/WRITE ADDRESS)  
 100 STM NODE  
 10 100A, 100B TRANSMISSION LINES  
 101 O/E SECTION (OPTICAL-ELECTRICAL CONVERSION  
 SECTION)  
 102 SOH PROCESSING SECTION  
 103 POH-TERMINATION-POINTER PROCESSING SECTION  
 15 104A, 104B SWITCHING SECTIONS  
 104C POH PROCESSING SECTION  
 105 SOH PROCESSING SECTION  
 106 E/O (ELECTRO-OPTICAL CONVERSION SECTION)  
 201 POH TERMINATION PROCESSING SECTION  
 20 202 DE-MULTIPLEXING SECTION (DMUX SECTION)  
 203-k POINTER PROCESSING SECTION  
 203-k1 POINTER RECEIPT PROCESSING SECTION  
 203-k2 ELASTIC MEMORY (ES SECTION)  
 203-k3 POINTER TRANSMISSION PROCESSING SECTION  
 25 204 MULTIPLEXING SECTION (MUX)

FIG. 1 BLOCK DIAGRAM SHOWING THE PRINCIPLE OF THE INVENTION

1 OH TERMINATION PROCESSING SECTION

2 CLOCK SWITCHING SECTION

3 POINTER PROCESSING SECTION

5

FIG. 2

PRINCIPLE BLOCK DIAGRAM SHOWING ANOTHER MODE OF THE  
INVENTION

1-1 OH TERMINATION PROCESSING SECTION

10 1-N OH TERMINATION PROCESSING SECTION

2-1 CLOCK SWITCHING SECTION

2-N CLOCK SWITCHING SECTION

4 MULTIPLEXING SECTION

3 POINTER PROCESSING SECTION

15 5 DE-MULTIPLEXING SECTION

FIG. 3

EXAMPLE OF TIMING CHART OF THE DEVICE SHOWN IN FIG. 1

DATA Di1

20 AFTER CLOCK SWITCHING

DATA Do1

FIG. 4

EXAMPLE OF TIMING CHART OF DEVICE SHOWN IN FIG. 2

25 DATA Di1, DATA Di2, DATA DiN, OUTPUT FROM MULTIPLEXING  
SECTION, OUTPUT FROM POINTER PROCESSING SECTION

DATA Do1, DATA Do2, DATA DoN



FIG. 12

DRAWING FOR DESCRIBING BIT CONFIGURATION OF RAM USED FOR  
CONSECUTIVELY DETECTING NORMAL POINTER THREE TIMES

- 5 1 DETECTION OF IDENTICAL POINTER, DETECTION OF "H"
- 2 RECEIVED POINTER (n-bit)
- 3 DISPLAY OF NORMAL POINTER (REDUCED)

FIG. 17

- 10 DRAWING FOR DESCRIBING OPERATION OF ACTIVE POINTER VALUE  
UPDATING CIRCUIT
- INPUT DATA
- PRE-UPDATING ACT-PTR VALUE IS USED FOR DETECTING A V5
- USE ACT-PTR VALUE THAT HAS BEEN MODIFIED

15

FIG. 5

BLOCK DIAGRAM SHOWING AN EMBODIMENT OF THE INVENTION

- 11-1 POH TERMINATION PROCESSING SECTION
- 11-2 POH TERMINATION PROCESSING SECTION
- 20 11-3 POH TERMINATION PROCESSING SECTION
- 12-1 CLOCK SWITCHING SECTION
- 12-2 CLOCK SWITCHING SECTION
- 12-3 CLOCK SWITCHING SECTION
- 12-4 CLOCK SWITCHING SECTION
- 25 16 DUMMY SIGNAL GENERATION SECTION
- 14 MUX SECTION
- 13 POINTER PROCESSING SECTION

13-1 POINTER RECEIPT PROCESSING SECTION

13-2 ES SECTION

13-3 POINTER RECEIPT PROCESSING SECTION

15 DMUX SECTION

5

FIG. 6

TIMING CHART OF THE DEVICE SHOWN IN FIG. 5

POH TERMINATION PROCESSING SECTION

(OUTPUT)

10 Co (1/4 OF Co)

OUTPUT FROM CLOCK SWITCHING SECTION 12-1

OUTPUT FROM CLOCK SWITCHING SECTION 12-2

OUTPUT FROM CLOCK SWITCHING SECTION 12-3

COMMON

15 OUTPUT FROM DUMMY SIGNAL GENERATION SECTION

OUTPUT FROM MUX SECTION

FIG. 8

BLOCK DIAGRAM OF CLOCK SWITCHING SECTION

20

FIG. 15

TIMING CHART FOR DESCRIBING OPERATION OF V5-BYTE

DETECTION CIRCUIT

V2 TIMING

25 ACT-PTR VALUE

POINTER ABSOLUTE ADDRESS

DETECTION OF V5

COINCIDENCE

FIG. 7

TIMING CHART OF THE DEVICE SHOWN IN FIG. 5

5 OUTPUT D13 FROM POINTER PROCESSING SECTION

FIG. 9

BLOCK DIAGRAM OF MULTIPLEXING SECTION

10 FIG. 13

TIMING CHART FOR DESCRIBING OPERATION OF A CIRCUIT FOR  
CONSECUTIVELY DETECTING NORMAL POINTER THREE TIMES  
FRAME

V2 TIMING

15 RECEIVED POINTER

OUTPUT 1 FROM RAM

OUTPUT 2 FROM RAM

INPUT 1 TO RAM

INPUT 2 TO RAM

20 NOR x 3

FIG. 21

SCHEMATIC REPRESENTATION OF STM NETWORK

25 FIG. 10

BLOCK DIAGRAM OF PRINCIPAL SECTION OF POINTER PROCESSING  
SECTION

RECEIVED POINTER

V2 TIMING

V3 TIMING

20 NOR x 3 DETECTION CIRCUIT

5 31 INC/DEC DETECTION CIRCUIT

41 (37) POINTER ABSOLUTE ADDRESS GENERATION SECTION

DETECTION OF V5

FIG. 14

10 BLOCK DIAGRAM OF V5 BYTE DETECTION CIRCUIT

RECEIVED POINTER, ACT-PTR VALUE DETERMINATION CIRCUIT,  
DETECTION OF V5

41 (37) POINTER ABSOLUTE ADDRESS GENERATION SECTION

15 FIG. 11

BLOCK DIAGRAM SHOWING CIRCUIT FOR CONSECUTIVELY  
DETECTING NORMAL POINTER THREE TIMES

RECEIVED POINTER

21 NORMAL POINTER DETECTION CIRCUIT

20 DETECTION OF NOR x 3

FIG. 18

TIMING CHART FOR DESCRIBING OPERATION OF ACTIVE POINT  
VALUE UPDATING CIRCUIT

25 V2 TIMING

V3 TIMING

DETECTION OF INC/DEC

RECEIVED POINTER VALUE

ACT-PTR VALUE

FIG. 16

5 BLOCK DIAGRAM SHOWING ACTIVE POINTER VALUE UPDATING  
CIRCUIT

RECEIVED POINTER

DETECTION OF NOR x 3

V2 TIMING

10 V3 TIMING

31 INC/DEC DETECTION CIRCUIT

FIG. 22

BLOCK DIAGRAM SHOWING SCHEMATIC CONFIGURATION OF STM NODE

15

FIG. 19

BLOCK DIAGRAM SHOWING SCHEMATIC CONFIGURATION OF POINTER  
PROCESSING SECTION

50 POINTER PROCESSING CIRCUIT

20 70 ADDRESS GENERATION CIRCUIT

FIG. 23

BLOCK DIAGRAM OF CONVENTIONAL EXAMPLE

201 POH TERMINATION PROCESSING SECTION

25 202 DMUX SECTION

203-11 POINTER RECEIPT PROCESSING SECTION

203-12 ES SECTION

203-13 POINTER TRANSMISSION SECTION

203-n POINTER PROCESSING SECTION

204 MUX SECTION

5 FIG. 20

BLOCK DIAGRAM SHOWING SCHEMATIC CONFIGURATION OF POINTER  
PROCESSING SECTION

50 POINTER PROCESSING SECTION

60 STORAGE SECTION

10 70 STORAGE SECTION CONTROL SECTION

FIG. 24

TIMING CHART FOR DESCRIBING OPERATION OF CONVENTIONAL  
EXAMPLE

15 DATA Di1, DATA Di12, DATA Di 1n

DATA Do11

DATA Do11

DATA Do1n

OUTPUT

20 DATA Do12

DATA Do1n

DATA Do1

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-79231

(43) 公開日 平成8年(1996)3月22日

(51) Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 L 7/08

Z

12/28

H 0 4 Q 3/00

9466-5K

H 0 4 L 11/20

E

審査請求 未請求 請求項の数 8 O L (全 21 頁)

(21) 出願番号 特願平6-210053

(22) 出願日 平成6年(1994)9月2日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 江本 秀夫

大阪府大阪市中央区城見2丁目2番6号

富士通関西デジタル・テクノロジー株式会社  
社内

(72) 発明者 木内 秀典

大阪府大阪市中央区城見2丁目2番6号

富士通関西デジタル・テクノロジー株式会社  
社内

(74) 代理人 弁理士 真田 有

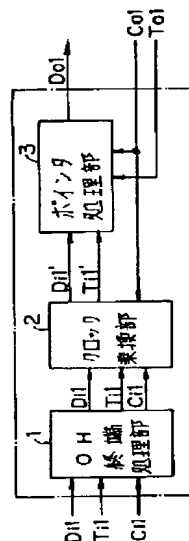
(54) 【発明の名称】 同期デジタルハイアラキーに基づくオーバヘッド終端及びポインタ処理装置

(57) 【要約】

【目的】 本発明は、SDHでのオーバヘッドの終端処理及びポインタ処理を行なう装置に関し、ポインタ処理をパラレルからシリアルに移行し、より高速でより小規模の回路を実現できるようにすることを目的とする。

【構成】 入力信号についてオーバヘッドの終端処理を行なうオーバヘッド終端処理部1と、オーバヘッド終端処理部1の出力を、オーバヘッド終端処理側クロックに基づくものからポインタ処理側クロックに基づくものにませ換えるクロック乗換部2と、クロック乗換部2でポインタ処理側クロックに基づくものにませ換えられたオーバヘッド終端処理部1の出力について、時分割によりポインタ処理を行なうポインタ処理部3とをそなえるように構成する。

本発明の原理ブロック図



1

## 【特許請求の範囲】

【請求項1】 同期デジタルハイアラキでのオーバーヘッドの終端処理及びポインタ処理を行なう装置において、

入力信号についてオーバーヘッドの終端処理を行なうオーバーヘッド終端処理部と、

該オーバーヘッド終端処理部の出力を、オーバーヘッド終端処理側クロックに基づくものからポインタ処理側クロックに基づくものにませ換えるクロック乗換部と、

該クロック乗換部でポインタ処理側クロックに基づくものにませ換えられた該オーバーヘッド終端処理部の出力について、時分割によりポインタ処理を行なうポインタ処理部とをそなえて構成されたことを特徴とする、同期デジタルハイアラキに基づくオーバーヘッド終端及びポインタ処理装置。

【請求項2】 同期デジタルハイアラキでのオーバーヘッドの終端処理及びポインタ処理を行なう装置において、

複数の入力信号のそれぞれに対応して設けられ、それぞれ相互に非同期で各入力信号についてのオーバーヘッドの終端処理を行なう複数のオーバーヘッド終端処理部と、

各オーバーヘッド終端処理部に対応して設けられ、各オーバーヘッド終端処理部の出力を、各オーバーヘッド終端処理側クロックに基づくものから共通のポインタ処理側クロックに基づくものにませ換える複数のクロック乗換部と、

各クロック乗換部で共通のポインタ処理側クロックに基づくものにませ換えられた各オーバーヘッド終端処理部の出力を多重する多重部と、

該多重部の出力について、時分割によりポインタ処理を行なうポインタ処理部と、

該ポインタ処理部の出力をポインタ処理側クロックから出力信号に同期したクロックに乗り換え複数の出力信号に分離する分離部とをそなえて構成されたことを特徴とする、同期デジタルハイアラキに基づくオーバーヘッド終端及びポインタ処理装置。

【請求項3】 ダミー信号を発生するダミー信号発生部をそなえ、

該多重部が、各クロック乗換部で共通のポインタ処理側クロックに基づくものにませ換えられた各オーバーヘッド終端処理部の出力及び該ダミー信号発生部からのダミー信号を多重するように構成されるとともに、

該ポインタ処理側クロックとして、該分離部で使用する分離用のクロックが使用されることを特徴とする請求項2記載の同期デジタルハイアラキに基づくオーバーヘッド終端及びポインタ処理装置。

【請求項4】 該クロック乗換部が、該オーバーヘッド終端処理部の出力を、該オーバーヘッド終端処理側クロックに基づきラッチするラッチ部と、

該ラッチ部の出力を該ポインタ処理側クロックに基づき

2

出力するゲート部とをそなえて構成されたことを特徴とする請求項1又は請求項2に記載の同期デジタルハイアラキに基づくオーバーヘッド終端及びポインタ処理装置。

【請求項5】 該ポインタ処理部が、各チャンネルに共通のポインタ処理部と、

各チャンネルのデータを割り当てられたアドレスに記憶し、この記憶データを該ポインタ処理部との間で取り取りする記憶部とをそなえて構成されたことを特徴とする請求項1又は請求項2に記載の同期デジタルハイアラキに基づくオーバーヘッド終端及びポインタ処理装置。

【請求項6】 該共通のポインタ処理部が、ノーマルポインタ3回連続受信検出部として構成されるとともに、該記憶部が、該ノーマルポインタ3回連続受信検出部との間で取り取りすべき各チャンネル毎のポインタ情報を記憶するRAMとして構成されていることを特徴とする請求項5記載の同期デジタルハイアラキに基づくオーバーヘッド終端及びポインタ処理装置。

【請求項7】 該共通のポインタ処理部が、受信側ポインタの絶対位置を示すアドレス値と受信ポインタ値とを比較しながらV5バイトを検出するV5バイト検出部として構成されるとともに、

該記憶部が、該V5バイト検出部へ供給する各チャンネル毎のポインタ情報を記憶するRAMとして構成されていることを特徴とする請求項5記載の同期デジタルハイアラキに基づくオーバーヘッド終端及びポインタ処理装置。

【請求項8】 該共通のポインタ処理部が、ポインタ値増減を検出した時はV3バイトタイミングでポインタの書き込み信号を発生するとともにポインタ値増減情報を発生し、ポインタ値増減を検出しない時はV2バイトタイミングでポインタの書き込み信号を発生するとともに受信ポインタ情報を発生するアクティブポインタ値更新部として構成されるとともに、

該記憶部が、該アクティブポインタ値更新部でポインタ値増減を検出した時はV3バイトタイミングでポインタ値増減情報を各チャンネルに対応したアドレスに書き込まれるとともに、該アクティブポインタ値更新部でポインタ値増減を検出しない時はV2バイトタイミングで受信ポインタ情報を各チャンネルに対応したアドレスに書き込まれるRAMとして構成されていることを特徴とする請求項5記載の同期デジタルハイアラキに基づくオーバーヘッド終端及びポインタ処理装置。

## 【発明の詳細な説明】

## 【0001】 (目次)

産業上の利用分野

従来の技術 (図21～図24)

発明が解決しようとする課題

課題を解決するための手段 (図1, 図2)

作用 (図1～図4)



実施例(図5~図20)

発明の効果

【0002】

【産業上の利用分野】本発明は、同期デジタルハイアラキ(以下、「SDH」ということがある)でのオーバーヘッド(以下、「OH」ということがある)の終端処理及びポインタ処理を行なう装置に関する。B-ISDNの実現に向けて、ITU-Tでは、国際的に統一されたデジタルハイアラキとしてSDHを標準化している。

【0003】そして、このSDHでは、いくつかの低次群側の信号にオーバーヘッドをつけては多重化していくという多重化方法を採用しており、このため各速度毎に豊富なオーバーヘッドをもっている。ここで、オーバーヘッドには、伝送路用のセクションオーバーヘッド(SOH)とバス用のバスオーバーヘッド(POH)とがあり、一般には低次群側の信号にPOHを付加しながら多重化していき、最後にSOHを付加するという手法を採用している。

【0004】また、SDHでは、各デジタル信号のフレーム先頭位置(アドレス)を示す情報(ポインタ)を多重化フレーム内に表示する方式をとっており、このポインタの情報はオーバーヘッド内に組み込まれている。従って、SONETあるいはITU-Tに基づく同期端局網による情報伝達に際して、SDHに基づくOH終端及びポインタの処理が必要になるのである。

【0005】

【従来の技術】図21は一般的なSTM(同期転送モード)網を模式的に示す図であるが、この図21に示すように、STMノード100間には、光ファイバからなる伝送路100A、100Bが介装されており、これらのSTMノード100、伝送路100A、100Bによって、STM網が構成されている。なお、STMノード100には、UNI(ユーザ・網インタフェース)を介して種々の端末(電話機、ファクシミリ端末、コンピュータ端末等)が接続されている。

【0006】ここで、STMノード100は、NNI(ネットワーク・ノードインタフェース)の機能とSTMスイッチの機能とをそなえているが、概略的には、図22に示すように、O/E部(光/電気変換部)101、SOH処理部102、POH終端・ポインタ処理部103、スイッチ部104A、104B、SOH処理部105、E/O部(電気/光変換部)106をそなえている。

【0007】これにより、伝送路100A又は100Bからの例えば150Mbpsの光信号(NNIフレーム信号)は、O/E部101で電気信号に変換され、SOH処理部102でSOHに関する処理を施され、POH終端・ポインタ処理部103へ入力され、このPOH終端・ポインタ処理部103で、SDHでのPOHの終端

処理及びポインタ処理を施される。その後、端末側へ送られる信号は、スイッチ部104Bを介して端末側へ送られる一方、スルーあるいは端末からの信号は、スイッチ部104Aを介して、POH処理部104Cへ送られ、ここでPOHに関する処理を施され、更にSOH処理部105へ送られ、ここでSOHに関する処理を施され、150Mbpsの信号としてE/O部106で再度光に戻されて対向するSTMノード100へ送られる。

【0008】ところで、POH終端・ポインタ処理部103は、図23に示すように、POH終端処理部201、分離部(DMUX部)202、複数( $n:2$ 以上の整数)のポインタ処理部203-1~203-n、多重部(MUX部)204をそなえているが、実際は、この図23に示す回路を3組そなえている。ここで、POH終端処理部201は、入力データD11についてPOHの終端処理を行なうものであるが、その他タイミング信号(J1バイト)T11やクロックC11も受けている。

【0009】DMUX部202はPOH終端処理部201の出力をチャネル数だけ分離するもので、ポインタ処理部203-k( $k=1\sim n$ )は、各チャネル対応に設けられて、ポインタの付け替え処理を行なうもので、このために各ポインタ処理部203-kは、ポインタ受信処理部203-k1、エラステックメモリ(ES部)203-k2、ポインタ送信処理部203-k3をそなえている。

【0010】ここで、ポインタ受信処理部203-k1はV1バイト、V2バイトからV5バイトを見つける処理(ポインタ受信処理)を施すもので、ES部203-k2はポインタ受信処理部203-k1で得られたV5バイト情報と通話情報を入力側クロックC11のタイミングで書き込み、出力側クロックC01のタイミングで読み出す記憶部であり、ポインタ送信処理部203-k3はES部203-k2で読み出されたV5バイト情報からV1バイト、V2バイトの検出と書き替え処理(ポインタ送信処理)を施すものである。

【0011】また、MUX部204は各ポインタ処理部203-kからのデータを多重化して出力するものである。従って、この図23に示す従来例では、入力データの多重度nに応じてDMUX部202により、OH終端後のデータをS/P(シリアル/パラレル)変換し、各ポインタ処理部203-kで個別にポインタの付け替え処理を行ない、各ポインタ処理部203-kの出力をMUX部204によりP/S(パラレル/シリアル)変換して、出力していることになる。なお、このときのタイムチャートを示すと、図24のようになる。

【0012】また、従来のものでは、入力クロック及び入力タイミングは、入力データと共にPOH終端処理部201からDMUX部202に渡され、このDMUX部202により各ポインタ処理部203-kへ渡され(図

5

23のD111~D11n, T111~T11n参照)、ポインタ受信処理部203-k1で、ES部203-k2への書き込みタイミングとクロックとして使用され、出力クロック及び出力タイミングはMUX部204から、各ポインタ処理部203-kへ渡され(図23のT011~T01n参照)、ポインタ送信処理部203-k3で、ES部203-k2からの読み出しタイミング、クロックとして使用している。

【0013】

【発明が解決しようとする課題】しかしながら、このような従来の手法では、入力データの多重度nが大きくなると、それに比例してポインタ処理部203-kの個数が多くなるため、これに伴い回路規模が大きくなるため、この点を考慮すると、あまり多重度nを多くすることができないのが現状である。

【0014】また、従来の手法では、ポインタ処理部203-kに入力クロック・タイミング(図23のC111~C11n, T111~T11n参照)、出力クロック・タイミング(図23のC011~C01n, T011~T01n参照)が入力され、ポインタ受信処理部203-k1とポインタ送信処理部203-k3とが異なるクロック(図23のC111, C011)で動作することから、入力データを各チャンネル数に分割して、チャンネル毎に処理を行ない、その後再び多重し出力するという構成をとらざるを得なかった。

【0015】すなわち、前述したように、従来のポインタ技術は、多数のチャンネルをパラレルで処理していたため、処理回路もそのチャンネル数分必要としており、よって、回路規模も大きくなり、情報伝送量が莫大になってきた今日での対応が困難であるという課題が生じている。本発明は、このような課題に鑑み創案されたもので、LIS開発技術の進歩に伴い高速処理が可能となってきた今、ポインタ処理をパラレルからシリアルに移行し、より高速でより小規模の回路を実現できるようにした、同期デジタルハイアラキーに基づくオーバーヘッド終端及びポインタ処理装置を提供することを目的とする。

【0016】

【課題を解決するための手段】図1は本発明の原理ブロック図で、この図1において、1はオーバーヘッド終端処理部(OH終端処理部)であり、このOH終端処理部1は、入力信号についてオーバーヘッドの終端処理を行なうものである。2はクロック乗換部であり、このクロック乗換部2は、OH終端処理部1の出力を、オーバーヘッド終端処理側クロックに基づくものからポインタ処理側クロックに基づくものに乗せ換えるものである。

【0017】3はポインタ処理部であり、このポインタ処理部3は、クロック乗換部2でポインタ処理側クロックに基づくものに乗せ換えられたOH終端処理部1の出力について、時分割によりポインタ処理を行なうもので

6

ある(以上が、請求項1の構成要件)。図2は本発明の他の態様を示す原理ブロック図で、この図2において、1-1~1-N(Nは2以上の整数)はオーバーヘッド終端処理部であり、各オーバーヘッド終端処理部1-j(j=1~N)は、複数(N)の入力信号のそれぞれに対応して設けられ、それぞれ相互に非同期で各入力信号についてのオーバーヘッドの終端処理を行なうものである。

【0018】2-1~2-Nはクロック乗換部であり、各クロック乗換部2-jは、各OH終端処理部1-jに対応して設けられ、各OH終端処理部1-jの出力を、各オーバーヘッド終端処理側クロックに基づくものから共通のポインタ処理側クロックに基づくものに乗せ換えるものである。4は多重部であり、この多重部4は、各クロック乗換部2-jで共通のポインタ処理側クロックに基づくものに乗せ換えられた各OH終端処理部1-jの出力を多重するものである。

【0019】3はポインタ処理部であり、このポインタ処理部3は、多重部4の出力について、時分割によりポインタ処理を行なうものである。5は分離部であり、この分離部5は、ポインタ処理部3の出力をポインタ処理側クロックCp、タイミングTpから出力信号に同期したクロックCo、タイミングToに乗り換え複数の出力信号に分離するものである(以上が、請求項2の構成要件)。

【0020】なお、この図2に示す装置において、ダミー信号を発生するダミー信号発生部をそなえ、多重部4が、各クロック乗換部2-jで共通のポインタ処理側クロックに基づくものに乗せ換えられた各OH終端処理部1-jの出力及びこのダミー信号発生部からのダミー信号を多重するように構成されるとともに、ポインタ処理側クロックとして、分離部5で使用する分離用のクロックが使用されるようにしてもよい(請求項3)。

【0021】また、上記の図1、図2に示す装置において、クロック乗換部2、2-j、ポインタ処理部3を以下のように構成することもできる。即ち、まず、クロック乗換部2、2-jを、OH終端処理部1、1-jの出力を、オーバーヘッド終端処理側クロックに基づきラッチするラッチ部と、このラッチ部の出力をポインタ処理側クロックに基づき出力するゲート部とをそなえて構成することができる(請求項4)。

【0022】また、ポインタ処理部3を、各チャンネルに共通のポインタ処理部と、各チャンネルのデータを割り当てられたアドレスに記憶し、この記憶データをポインタ処理部との間で遣り取りする記憶部とをそなえるように構成することができる(請求項5)。このとき、共通のポインタ処理部を、ノーマルポインタ3回連続受信検出部として構成するとともに、記憶部を、ノーマルポインタ3回連続受信検出部との間で遣り取りすべき各チャンネル毎のポインタ情報を記憶するRAMとして構成することができる(請求項6)。

7

【0023】また、共通のポインタ処理部を、受信側ポインタの絶対位置を示すアドレス値と受信ポインタ値とを比較しながらV5バイトを検出するV5バイト検出部として構成するとともに、記憶部を、V5バイト検出部へ供給する各チャネル毎のポインタ情報を記憶するRAMとして構成することができる（請求項7）。さらに、共通のポインタ処理部を、ポインタ値増減を検出した時はV3バイトタイミングでポインタの書き込み信号を発生するとともにポインタ値増減情報を発生し、ポインタ値増減を検出しない時はV2バイトタイミングでポインタの書き込み信号を発生するとともに受信ポインタ情報を発生するアクティブポインタ値更新部として構成するとともに、記憶部を、アクティブポインタ値更新部でポインタ値増減を検出した時はV3バイトタイミングでポインタ値増減情報を各チャネルに対応したアドレスに書き込まれるとともに、該アクティブポインタ値更新部でポインタ値増減を検出しない時はV2バイトタイミングで受信ポインタ情報を各チャネルに対応したアドレスに書き込まれるRAMとして構成することができる（請求項8）。

【0024】

【作用】まず、図1に示す上述の本発明の同期デジタルハイアラキーに基づくオーバーヘッド終端及びポインタ処理装置では、OH終端処理部1において、入力信号についてオーバーヘッドの終端処理を行ない、クロック乗換部2で、OH終端処理部1の出力を、オーバーヘッド終端処理側クロックに基づくものからポインタ処理側クロックに基づくものに乘せ換える。そして、ポインタ処理部3で、クロック乗換部2でポインタ処理側クロックに基づくものに乘せ換えられたOH終端処理部1の出力について、時分割によりポインタ処理を行なう（請求項1）。

【0025】なお、図1に示す装置の各所でのデータのタイミング（位相関係）の一例を示すと、図3のようになる。また、図2に示す上述の本発明の同期デジタルハイアラキーに基づくオーバーヘッド終端及びポインタ処理装置では、各オーバーヘッド終端処理部1-jで、それぞれ相互に非同期で各入力信号についてのオーバーヘッドの終端処理を行ない、各クロック乗換部2-jで、各OH終端処理部1-jの出力を、各オーバーヘッド終端処理側クロックに基づくものから共通のポインタ処理側クロックに基づくものに乘せ換える。そして、多重部4で、各クロック乗換部2-jで共通のポインタ処理側クロックに基づくものに乘せ換えられた各OH終端処理部1-jの出力を多重して、ポインタ処理部3で、多重部4の出力について、時分割によりポインタ処理を行なう。更に、分離部5で、ポインタ処理部3の出力をポインタ処理側クロックCp、タイミングTpから出力信号に同期したクロックCo、タイミングToに乗り換え複数の出力信号に分離する（請求項2）。

8

【0026】なお、図2に示す装置の各所でのデータのタイミング（位相関係）の一例を示すと、図4のようになる。さらに、この図2に示す装置において、ダミー信号発生部を設けた場合は、多重部4で、各クロック乗換部2-jで共通のポインタ処理側クロックに基づくものに乘せ換えられた各OH終端処理部1-jの出力及びこのダミー信号発生部からのダミー信号を多重するが、このとき、ポインタ処理側クロックとして、分離部5で使用する分離用のクロックが使用される（請求項3）。

【0027】また、上記の図1、図2に示す装置において、クロック乗換部2、2-jをラッチ部とゲート部とで構成した場合は、ラッチ部で、OH終端処理部1、1-jの出力をオーバーヘッド終端処理側クロックに基づきラッチし、ゲート部で、ラッチ部の出力をポインタ処理側クロックに基づき出力する（請求項4）。また、ポインタ処理部3を、各チャネルに共通のポインタ処理部と記憶部とで構成した場合は、記憶部で、各チャネルのデータを割り当てられたアドレスに記憶し、この記憶データをポインタ処理部との間で取り取りする（請求項5）。

【0028】このとき、共通のポインタ処理部を、ノーマルポインタ3回連続受信検出部として構成するとともに、記憶部をRAMとして構成した場合は、RAMにて、ノーマルポインタ3回連続受信検出部との間で取り取りすべき各チャネル毎のポインタ情報を記憶する（請求項6）。また、共通のポインタ処理部をV5バイト検出部として構成するとともに、記憶部をRAMとして構成した場合は、V5バイト検出部にて、受信側ポインタの絶対位置を示すアドレス値と受信ポインタ値とを比較しながらV5バイトを検出するとともに、RAMにて、V5バイト検出部へ供給する各チャネル毎のポインタ情報を記憶する（請求項7）。

【0029】さらに、共通のポインタ処理部をアクティブポインタ値更新部として構成するとともに、記憶部をRAMとして構成した場合は、アクティブポインタ値更新部において、ポインタ値増減を検出した時はV3バイトタイミングでポインタの書き込み信号を発生するとともにポインタ値増減情報を発生し、ポインタ値増減を検出しない時はV2バイトタイミングでポインタの書き込み信号を発生するとともに受信ポインタ情報を発生するとともに、RAMにおいては、アクティブポインタ値更新部でポインタ値増減を検出した時はV3バイトタイミングでポインタ値増減情報を各チャネルに対応したアドレスに書き込まれるとともに、該アクティブポインタ値更新部でポインタ値増減を検出しない時はV2バイトタイミングで受信ポインタ情報を各チャネルに対応したアドレスに書き込まれる（請求項8）。

【0030】

【実施例】以下、図面を参照して本発明の実施例を説明する。図5は本発明の一実施例を示すブロック図である

が、この図5には、STMノードにおけるPOH終端及びポインタ処理装置（これは図22で示したPOH終端・ポインタ処理部103に相当するもの）が示されている。

【0031】そして、このPOH終端及びポインタ処理装置は、図5に示すように、3つのPOH終端処理部11-1～11-3、3つのクロック乗換部12-1～12-3、多重部（MUX部）14、共通のポインタ処理部13、分離部（DMUX部）15、ダミー信号発生部16をそなえて構成されている。ここで、各POH終端処理部11-jは、3系統の入力信号（50Mbpsの信号）のそれぞれに対応して設けられ、それぞれ相互に非同期で各入力信号についてのPOHの終端処理を施すものである。

【0032】また、各クロック乗換部12-jは、各POH終端処理部11-jに対応して設けられ、各OH終端処理部11-jの出力（入力データDij、タイミングTij）を、各オーバーヘッド終端処理側クロックCijに基づくものから共通のポインタ処理側クロックCoに基づくものに乘せ換えるものであり、このため、各クロック乗換部12-jは、図8に示すように、POH終端処理部の出力を、POH終端処理側クロックCij（POH終端処理側クロックCijを3分周したクロックCij'）に基づきラッチするために3つのラッチ12-j-11～12-j-13を有するラッチ部12-j-1と、ラッチ部12-j-1の出力をポインタ処理側クロックCo（ポインタ処理側クロックCoを3分周したクロックCo'）に基づき出力するために3つのANDゲート12-j-21～12-j-23、ORゲート12-j-24を有するゲート部12-j-2と、ゲート部12-j-2の出力をポインタ処理側クロックCoに基づくラッチするラッチ部12-j-3とをそなえて構成されている。

【0033】なお、各クロック乗換部12-jには、POH終端処理側クロックCij及びポインタ処理側クロックCoを3分周してラッチ12-j-11～12-j-13或いはANDゲート12-j-21～12-j-23へ供給するための分周器12-j-4、12-j-5も設けられている。ダミー信号発生部16はダミー信号（ダミーデータDM、ダミータイミングTi4）を発生するものである。

【0034】MUX部14は、各クロック乗換部12-jで共通のポインタ処理側クロックCoに基づくものに乘せ換えられた各POH終端処理部11-jの出力及びこのダミー信号発生部16からのダミー信号を多重するものであり、このために、このMUX部14は、図9に示すように、各POH終端部11-jのデータDij'（j=1～3）とダミー信号発生部16からのダミー信号（DM）を多重するMUX部14aと、各POH終端部11-jのタイミングTij'（j=1～3）とダミ

ー信号発生部16からのダミー信号（Ti4）を多重するMUX部14bと、ポインタ処理側のクロックCoとタイミングToとからMUX部14a、14bへの多重信号を発生する4分周の分周器14cとをそなえている。

【0035】なお、MUX部14aは、4つのANDゲート14a-1～14a-4とORゲート14a-5とをそなえており、MUX部14bは、4つのANDゲート14b-1～14b-4とORゲート14b-5とをそなえている。ポインタ処理部13は、MUX部14の出力について、時分割によりポインタ処理（ポインタの付け替え処理）を行なうものであり、このためにこのポインタ処理部13は、ポインタ受信処理部13-1、エラステックメモリ（ES部）13-2、ポインタ送信処理部13-3をそなえている。

【0036】ここで、ポインタ受信処理部13-1はV1バイト、V2バイトからV5バイトを見つける処理（ポインタ受信処理）を施すもので、ES部13-2はポインタ受信処理部13-1で得られたV5バイト情報と通話情報をクロックCoでMUX部からのタイミングT14で書き込み、クロックCoでポインタ処理側のタイミングToで読み出す記憶部であり、ポインタ送信処理部13-3はES部13-2で読み出された情報からV1バイト、V2バイトの書き替え処理（ポインタ送信処理）を施すものである。そして、これらのポインタ受信処理部13-1、エラステックメモリ（ES部）13-2、ポインタ送信処理部13-3は全てチャネル毎に割り当てられた時間だけ時分割動作している。

【0037】DMUX部15は、ポインタ処理部13の出力を複数の出力信号（データDo1～Do3）に分離するものである。なお、この例では、ポインタ処理側クロックCoとして、MUX部14及びDMUX部15で使用する多重・分離用のクロックが使用されている。なお、ダミー信号をMUX部14で多重しない場合は、DMUX部15では、ポインタ処理部13の出力をポインタ処理側クロック、タイミングから出力信号に同期したクロック、タイミングに乗り換えることが必要になる。

【0038】上述の構成により、次のような動作を行なう。まず、本実施例では、STS-1レベルの信号（データDi1～Di3）、クロック（クロックCi1～Ci3）、タイミング（タイミングTi1～Ti3）が3組あり、各組は互いに非同期に入力されるようになっており、STS-1レベルの信号は、2並列の4クロック周期で1バイトのデータを示しているものとする。

【0039】そして、この信号は、POH終端処理部11-1～11-3で、2対8のS/P（シリアル/パラレル）変換され、8並列の1クロックで1バイトのデータに変換された後、OH処理とクロック乗換処理が行なわれる。なお、OH処理後の出力データ中のOHデータ部分は以後の処理においてダミーデータとして扱われ

る。

【0040】さらに、クロック乗換部12-1~12-3では、各STS-1の信号をシステムクロックC<sub>0</sub>をもとに、MUX部14で発生するタイミング(クロック)C<sub>0</sub>'に乗り換える。また、MUX部14では、各クロック乗換部12-1~12-3からの出力にダミーデータ8ビットを付加し、32ビットとし、32対8にP/S(パラレル/シリアル)変換して、出力する(データD14、タイミングT14)。

【0041】一方、ポインタ処理部13では、システムタイミングT<sub>0</sub>で、VTレベルのポインタ付け替えを行なって出力する(データD13)。DMUX部15では、ポインタ処理部13の出力について8対32のS/P変換を行ない、8ビットのダミーを削減し、各組のポインタ処理出力を得る。更に、出力のデータ形式への8対4のP/S変換も行なう。

【0042】このときの各所での信号タイミングを示すと、図6、7のようになる。このようにSDHに基づく入力データにおいて、データ多重の周期性に着目し、ポインタ処理回路を時分割して使用し、更にポインタ処理部13を、出力クロック・タイミングで動作させるために、POH終端処理部11-jの出力を出力クロック・タイミングに乗り換えるためのクロック乗換部12-jを設け、各クロック乗換部12-jに共通のポインタ処理クロックを入力することにより、各クロック乗換部12-jの出力の同期を取り、これを多重化し、この多重化出力に対して、ポインタ処理部13にてポインタ処理を行ない、この出力を分離することにより、各ポインタ処理出力を得ているが、これにより次のような効果ないし利点が得られる。

【0043】(1)ポインタ処理部13の数を1個に削減することにより、ポインタ処理部13の論理部分が共有化され、回路規模を削減することができる。

(2)ポインタ処理部13が単一クロックでの動作となり、時分割動作を行なう共通のポインタ処理部13の回路構成を実現できる。

(3)互いに非同期である複数のPOH終端及びポインタ処理に対して、時分割動作を行なう共通のポインタ処理部13の回路構成を適用することが可能となり、更なる回路規模の削減を実現が可能となる。

【0044】(4)また、ダミーデータを付加することで、ポインタ処理部13のクロックを出力クロックと共有化でき、これによりポインタ処理部用のクロックを発生する必要がなくなり、回路規模の削減ができる。すなわち、従来方法によるポインタ処理に対して、同じ多重度の入力データの場合、より小規模の回路で所望の機能を実現することができ、また、同等の回路規模で、より多重度の大きな信号の処理を行なうことができるとともに、互いに非同期である複数のデータ入力に対して、ポインタ処理をシリアル化する回路構成の実現を可能と

し、回路規模を大幅に削減できるほか、ポインタ処理部専用のシステムクロックを発生する必要がなくなり、これにより回路規模の大幅な削減を実現できるのである。

【0045】ところで、ポインタ処理部13で行なうポインタ処理の具体例として、ノーマルポインタ3回連続受信検出、アクティブポインタ値更新、V5バイト検出等を挙げることができるが、これらの処理を行なう回路の一例を示すと、図10のようになる。すなわち、この図10に示すものでは、ノーマルポインタ3回連続受信検出回路20、アクティブポインタ値更新回路30、V5バイト検出回路40が設けられている。

【0046】まず、ノーマルポインタ3回連続受信検出回路20について説明すると、この回路20は、シリアル処理でのノーマルポインタ3回連続受信検出の実現を可能としたもので、このために、図11に示すように、このノーマルポインタ3回連続受信検出回路20は、ノーマルポインタ検出回路21、比較部22、データオール1変換部23、論理積回路としてのANDゲート24、25を共通のポインタ処理部としてそなえており、更に、ノーマルポインタ3回連続受信検出部(符号22~25の部材参照)との間で取り出すべき各チャネル毎のポインタ情報を所要のアドレスに記憶するRAM(記憶部)26及びこのRAM26からチャネル対応のポインタ情報を取り出すためのアドレス発生部(RAM制御部)27もそなえている。

【0047】ここで、ノーマルポインタ検出回路21は、受信ポインタがノーマルポインタであるかないか判断するもので、比較部22は、RAM26で得られた前フレームのポインタ値と受信ポインタとの一致を検出するものである。また、データオール1変換部23は、受信ポインタがノーマルポインタでない時にRAM26への入力をALL「1」にするものであり、ノーマルポインタ検出回路21の出力を反転する反転回路23-1と、反転回路23-1の出力と受信ポインタとの論理和をとるORゲート23-2とで構成されている。

【0048】ANDゲート24はノーマルポインタ検出回路21の出力と比較部22の出力の論理積をとるもので、ANDゲート25はANDゲート24の出力とRAM26の出力との論理積をとるもので、このANDゲート25の出力がノーマルポインタ3回連続受信検出回路20の出力となる。したがって、この図11に示す回路では、受信ポインタが、ノーマルポインタ検出部21と比較部22に入力されるとともに、比較部22では、受信ポインタと、RAM26の所定チャネル相当のアドレス部分から読み出された前フレームのポインタ情報との比較が行なわれる。そして、その結果は次フレームヘデータを保持するためにRAM26の所定チャネル相当のアドレス部分に書き込まれる。また、同時に比較部22での一致検出と同一ポインタ値検出(RAM26)の論理積をとったものを、ノーマルポインタ3回連続受信検

13

出結果としている。

【0049】なお、図12はRAM26の構成を示す図であるが、この図12の①のビットは同一ポインタ値の検出を示し、前フレームのノーマルポインタ値(図12の②)と同じノーマルポインタを受信した時に「H」となる。また、図12の②のビットは受信ポインタを次のフレームまで保持するためのものであるが、受信ポインタがノーマルポインタであるかないかという情報も保持する必要があるため、ノーマルポインタ以外のポインタを受信した時は、データオール1変換部23にて図12の②の全ビットを「H」にすることで表現している。従って、新たに図12の③の様なビットを追加することを防いでいる。即ち、RAM26には図12の①と②の情報だけがチャンネル対応で記憶されていることになる。

【0050】さらに、このノーマルポインタ3回連続受信検出を、STS伝送フォーマットのVTポインタ処理を例にとって説明すると、このノーマルポインタ3回連続受信検出は、V2バイトのタイミングで行なうことになる。タイムチャートを図13に示す。この図13から次のことがわかる。即ち、フレーム1までは、受信ポインタ値「 $\alpha$ 」で動作していたとし、フレーム2で「 $\beta$ 」を受信したとすると、受信ポインタ $\neq$ RAM26の出力②(前フレームポインタ値「 $\alpha$ 」)となり、RAM26の入力①(同一ポインタ検出)は、「0」となる。

【0051】次に、フレーム3で、「INV」(ノーマルポインタでないポインタ)を受信すると、データオール1変換部23で受信ポインタを全ビット「1」にして、RAM26の入力②としてRAM26に書き込まれる。その後、フレーム4、5、6と「 $\beta$ 」を3回続けて受信すると、フレーム6にて、受信ポインタ値=RAM26の出力②且つRAM26の出力①=1となり、ノーマルポインタ3回連続受信(NOR $\times$ 3)が検出されることになる。

【0052】これにより、ノーマルポインタ3連続受信検出をシリアル処理で行なうに当たり、RAM26の使用ビット数を少なくすることができ、その結果、できるだけ回路規模及び消費電力を低下させる手段を提供することができる。次に、アクティブポインタ値更新回路30について説明すると、この回路30は、ポインタ値増減(ポインタ値増をINC、ポインタ値減をDEC、ポインタ値増減をINC/DECということがある)を検出した時はV3バイトタイミングでポインタの書き込み信号を発生するとともにポインタ値増減情報を発生し、ポインタ値増減(INC/DEC)を検出しない時はV2バイトタイミングでポインタの書き込み信号を発生するとともに受信ポインタ情報を発生するもので、このために、このアクティブポインタ値更新回路30は、図16に示すように、INC/DEC検出回路31、ポインタ値増減部32、セレクト33、34、ANDゲート35を共通のポインタ処理部としてそなえており、更に、

14

アクティブポインタ値更新部(符号31~35の部材参照)でポインタ値増減を検出した時(INC/DEC検出時)はV3バイトタイミングでポインタ値増減情報を各チャンネルに対応したアドレスに書き込まれるとともに、上記アクティブポインタ値更新部でポインタ値増減を検出しない時はV2バイトタイミングで受信ポインタ情報を各チャンネルに対応したアドレスに書き込まれるRAM(記憶部)36及びこのRAM36からチャンネル対応のポインタ情報を取り出すためのアドレス発生部(RAM制御部)37もそなえている。なお、アドレス発生部37は後述のポインタ絶対アドレス発生部41がその機能を兼用している。

【0053】ここで、INC/DEC検出回路31は、受信ポインタ情報を受けてポインタ値の増減を検出するもので、その検出結果は、ポインタ値増減部32、セレクト33へ入力される。ポインタ値増減部32は、INC/DEC検出回路31でポインタ値増減を検出した時はポインタ値増減情報(前ポインタ値+1又は前ポインタ値-1)を発生し、INC/DEC検出回路31でポインタ値増減を検出しない時は受信ポインタ情報(前ポインタ値+0)を発生するものである。

【0054】セレクト33は、INC/DEC検出回路31でポインタ値増減を検出した時はV3バイトタイミング信号を選択してこれをポインタの書き込み信号としてRAM36に供給するとともに、INC/DEC検出回路31でポインタ値増減を検出しない時はV2バイトタイミング信号を選択してこれをポインタの書き込み信号としてRAM36に供給するものである。

【0055】セレクト34は、ANDゲート35からの信号に応じて受信ポインタ又はポインタ値増減部32からの出力を選択するもので、このセレクト34の出力がRAM36に書き込まれるようになっている。ANDゲート35は、ノーマルポインタ3連続受信検出信号NOR $\times$ 3(この信号はノーマルポインタ3連続受信検出時は「H」)とV2タイミング信号との論理積をとるもので、その出力はセレクト34の選択制御信号となる。

【0056】なお、RAM36の出力は、ポインタ値増減部32の入力側へ供給されるとともに、アクティブポインタ値(ACT-PTR値)の情報としてV5バイト検出回路40の比較部42へ供給されるようになっている。また、上記のようにINC/DEC時のACT-PTR値更新をV3のタイミングで行なう理由は次のとおりである。即ち、V5バイトの検出はACT-PTR値を元に行なっているため、V2バイトからV3バイトの間では、更新前のACT-PTR値でなければならない。それゆえに、更新するのは更新前のACT-PTR値の必要がなくなるV3バイト以降に変更するのが好ましいと考えられるからである(図17参照)。

【0057】したがって、この図16に示す回路では、まず初めに受信ポインタから、INC/DEC検出回路

31でINC/DECの検出を行なう。そして、INC/DECの検出がされなければ、V2バイトのタイミングにて受信ポインタの書き込みがRAM36に対して行なわれる。逆に、INC/DECの検出がされると、V2バイトタイミングでは、何も行わず、V3バイトタイミング時にINCならACT-PTR値+1の値を、DECならACT-PTR値-1の値をRAM36に書き込むのである。

【0058】さらに、STS伝送フォーマットのVTポインタ処理を例にとって図18に示すタイムチャートに基づいて説明する。現在、ACT-PTR値「α」で動作中であるとする。そして、次のフレームの受信ポインタ値が、「α」に対してINC表示であったとすると、V2バイトタイミングでのACT-PTR値の更新は行なわず、V3バイトタイミングでACT-PTR値を「α+1」に更新する。

【0059】さらに、次のフレームの受信ポインタが「NDF-enable」（即時ポインタ値変更）「β」だとすると、従来通りV2バイトタイミングでACT-PTR値の更新を行ない、「β」となる。上記のことから次のことがわかる。すなわち、V5バイト検出を行なうに当たって、ACT-PTR値を決定しなければならないが、ACT-PTR値を決定（更新）する動作として、ポインタ値が任意の位置に飛ぶ場合と+1（INC）又は-1（DEC）する場合とがある。従来のパラレルポインタ処理では、両者ともV2のタイミングで更新していたが、シリアルポインタ処理を行なう場合、後者の方は、V5バイトがV2バイトとV3バイトの間であって、このときINC、DECが行なわれると、実際より1フレーム早くV5バイトを移動させてしまう。そこで、上記のようにINC/DEC時のACT-PTR値の更新タイミングを見直すことにより、適切なタイミングで更新することができるようになったのである。

【0060】次に、V5バイト検出回路40について説明すると、この回路40は、受信側ポインタの絶対位置を示すアドレス値と受信ポインタ値とを比較しながらV5バイトを検出するもので、このために、このV5バイト検出回路40は、図14に示すように、ACT-PTR値決定回路30、ポインタ絶対アドレス発生部41、比較部42を共通のポインタ処理部としてそなえており、更に、V5バイト検出部（符号30等参照）へ供給する各チャンネル毎のポインタ情報を記憶するRAM43をそなえている。なお、このRAM43は図16で説明したRAM36と同一のもので、便宜上、異なった符号を付けている。

【0061】ここで、ACT-PTR値決定回路30はACT-PTR値を更新しながらACT-PTR値を決定するもので、その構成、動作等については既に説明したので、その詳細な説明は省略する。ポインタ絶対アド

レス発生部41は、受信側ポインタの絶対位置を示すアドレス値を発生するものである。なお、このポインタ絶対アドレス発生部41はRAM43のアドレス発生部（RAM制御部）としても機能している。

【0062】比較部42は、ポインタ絶対アドレス発生部41からの受信側ポインタの絶対位置を示すアドレス値とRAM43からの受信ポインタ値とを比較しながらV5バイトを検出するものである。このような構成により、受信ポインタからACT-PTR値決定回路30で決定されたACT-PTR値は、一旦RAM43で保持され、必要なタイミングでRAM43より読み出される。一方、ポインタ絶対アドレス発生部41は、ACT-PTR値とは全く関係なく一定の周期で回転しており、現在動作中のACT-PTR値と比較され、一致したタイミングの入力データをV5バイトと決定するのである。

【0063】さらに、STS伝送フォーマットのVTポインタ処理を例にとって、図15に示すタイムチャートを用いて、説明する。まず、ポインタ絶対アドレスは外部から入力されるFP（フレームパルス）に同期しており、V2バイトの次のバイトの位置をアドレス「0」となるように発生している。そして、ACT-PTRは、V2タイミングで更新されるが、図15中では、ポインタ値「3」及び「4」でACT-PTR値=ポインタ絶対アドレスとなり、これによりV5バイトを検出することができる。

【0064】このようにポインタ絶対アドレス（ポインタの絶対的な位置を示したものを）を用意し、ACT-PTR値と随時比較していき、そして、ACT-PTR値とポインタ絶対アドレスとが一致した所をV5バイトの位置と判断しているので、従来の各チャンネル毎にポインタ値をカウントする方式を見直すことができ、これにより回路規模及び消費電力の低下を実現することができる。

【0065】なお、ポインタ処理部13で行なうポインタ処理の具体例として、ノーマルポインタ3回連続受信検出、アクティブポインタ値更新、V5バイト検出等を列挙して説明してきたが、一般的に言えば、ポインタ処理部13を、図19或いは図20に示すように、各チャンネルに共通のポインタ処理部50と、各チャンネルのデータを割り当てられたアドレスに記憶し、この記憶データをポインタ処理部50との間で遣り取りする記憶部（RAM）60と、この記憶部60を制御する記憶部制御部（書き込み読み出しのためのアドレス発生部）70とををそなえるように構成することができ、これにより、従来のチャンネル数個分あったポインタ処理部は1個で共用することができ、各チャンネルの記憶部を1つにまとめることができる。

【0066】すなわち、このようにすれば、入力されたシリアルデータは、ポインタ処理部50に入力される一

方、記憶部60から前フレームまでのポインタ情報が読み出され、ポインタ処理部50に入力され、そして、処理が行なわれ再び記憶部60に書き込まれる。また、記憶部制御部70では、各チャンネルのデータを割り当てられたアドレスにアクセスを行なうように制御している。さらに、チャンネルの管理は、カウンタで構成されるアドレスを発生させ、必要なRAM60のアドレスにデータを読み書きすることにより、ポインタ処理部50は各チャンネルで共用し、それぞれ入力されるデータの順に時分割で使用することができる。

【0067】このようにすることにより、LIS開発技術の進歩に伴い高速処理が可能となってきた今、ポインタ処理をパラレルからシリアルに移行し、より高速でより小規模の回路を実現できるのである。

【0068】

【発明の効果】以上詳述したように、本発明によれば、SDHのポインタ処理において、SDHの多重の周期性に着目し、ポインタ処理回路を時分割に使用し、更にOH終端及びポインタ処理において、ポインタ処理回路を単一のクロックで動作させるために、OH終端用クロックとポインタ処理用クロックとを分離し、別にクロック乗換え回路を置いたので、従来方法によるポインタ処理に対して、同じ多重度の入力データの場合、より小規模の回路で所定の機能を実現することができ、また、同等の回路規模で、より多重度の大きな信号の処理を行なうことができる（請求項1）。

【0069】また、本発明では、相互に非同期である複数のOH終端及びポインタ処理において、時分割動作しうる共通のポインタ処理部を用いて、各クロック乗換部に共通のポインタ処理クロックを入力し、各クロック乗換部の出力の同期を取り、クロック乗換部の出力に多重部を設け、ポインタ処理部の出力に分離部を設けることにより、互いに非同期である複数のデータ入力に対して、時分割動作しうる共通のポインタ処理部の回路構成の実現を可能とし、更なる回路規模の削減を実現できる（請求項2）。

【0070】さらに、本発明では、クロック乗換部の出力にダミー信号を付加し、ポインタ処理部のクロックに多重・分離のクロックを使用するので、ポインタ処理部専用のシステムクロックを発生する必要がなくなり、回路規模を削減できる（請求項3）。なお、クロック乗換部が、OH終端処理部の出力を、OH終端処理側クロックに基づきラッチするラッチ部と、ラッチ部の出力をポインタ処理側クロックに基づき出力するゲート部とをそなえて構成されるので、クロック乗換を簡素な回路で実現することができる（請求項4）。

【0071】また、本発明では、SDHのポインタ処理において、SDHの多重の周期性に着目し、ポインタ処理部を時分割に使用するシリアルポインタ処理の実現に際し、回路規模削減のため、各チャンネルのデータを割り

当てられたアドレスに記憶しこの記憶データをポインタ処理部との間で取り取りする記憶部を使用しているのので、大幅な回路規模の削減を行なうことができ、記憶部周りの処理回路の共用化及び簡素化が可能になり、更には、通信装置の小型化や消費電力の低下及び情報伝送量の増大化におおいに寄与する（請求項5）。

【0072】さらに、ポインタアクションの1つであるノーマルポインタ3回連続受信検出部を共通のポインタ処理部として採用し、さらにノーマルポインタ3回連続受信検出部のための記憶部としてRAMを使用することと、更にノーマルポインタ以外であるという情報を受信ポインタ値のビット領域で表現することで、RAMのビット数を削減することができ、これにより、回路規模及び消費電力の低下をはかることができる（請求項6）。

【0073】また、受信ポインタ値からV5バイトを検出するに当たり、受信側のポインタの絶対位置を示したアドレスを用意し、受信ポインタ値と比較しながら検出を行なうので、従来の各チャンネル毎にポインタ値をカウントする方式を見直すことができ、これにより回路規模及び消費電力の低下に寄与することができる（請求項7）。

【0074】さらに、ポインタインクリメント又はポインタデクリメントのポインタアクション発生時のアクティブポインタ値の更新を、V3バイトのタイミングで実行するので、適切なタイミングでアクティブポインタ値を更新できる（請求項8）。

【図面の簡単な説明】

【図1】本発明の原理ブロック図である。

【図2】本発明の他の態様を示す原理ブロック図である。

【図3】図1に示す装置のタイムチャートの一例である。

【図4】図2に示す装置のタイムチャートの一例である。

【図5】本発明の一実施例を示すブロック図である。

【図6】図5に示す装置のタイムチャートである。

【図7】図5に示す装置のタイムチャートである。

【図8】クロック乗換部のブロック図である。

【図9】多重部のブロック図である。

【図10】ポインタ処理部の要部ブロック図である。

【図11】ノーマルポインタ3回連続受信検出回路のブロック図である。

【図12】ノーマルポインタ3回連続受信検出に使用されるRAMのビット構成を説明するための図である。

【図13】ノーマルポインタ3回連続受信検出回路の動作を説明するためのタイムチャートである。

【図14】V5バイト検出回路のブロック図である。

【図15】V5バイト検出回路の動作を説明するためのタイムチャートである。



19

【図 16】アクティブポインタ値更新回路のブロック図である。

【図 17】アクティブポインタ値更新回路の動作を説明するための図である。

【図 18】アクティブポインタ値更新回路の動作を説明するためのタイムチャートである。

【図 19】ポインタ処理部の概略構成を示す要部ブロック図である。

【図 20】ポインタ処理部の概略構成を示す要部ブロック図である。

【図 21】STM網を示す模式図である。

【図 22】STMノードの概略構成を示すブロック図である。

【図 23】従来例を示すブロック図である。

【図 24】従来例の動作を説明するためのタイムチャートである。

【符号の説明】

- 1, 1-j オーバヘッド終端処理部 (OH終端処理部)
- 2, 2-j クロック乗換部
- 3 ポインタ処理部
- 4 多重部
- 5 分離部
- 11-j POH終端処理部
- 12-j クロック乗換部
- 12-j-1 ラッチ部
- 12-j-11~12-j-13 ラッチ
- 12-j-2 ゲート部
- 12-j-21~12-j-23 ANDゲート
- 12-j-24 ORゲート
- 12-j-3 ラッチ部
- 12-j-4, 12-j-5 分周器
- 13 ポインタ処理部
- 13-1 ポインタ受信処理部
- 13-2 エラステックメモリ (ES部)
- 13-3 ポインタ送信処理部
- 14, 14a, 14b 多重部 (MUX部)
- 14a-1~14a-4, 14b-1~14b-4 ANDゲート
- 14a-5, 14b-5 ORゲート

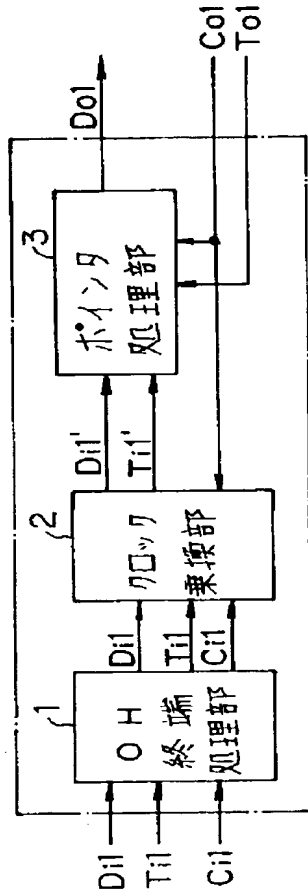
20

- 15 分離部 (DMUX部)
- 16 ダミー信号発生部
- 20 ノーマルポインタ3回連続受信検出回路
- 21 ノーマルポインタ検出回路
- 22 比較部
- 23 データオール1変換部
- 24, 25 ANDゲート
- 26 RAM (記憶部)
- 30 アクティブポインタ値更新回路
- 31 INC/DEC検出回路
- 32 ポインタ値増減部
- 33, 34 セレクタ
- 35 ANDゲート
- 36 RAM (記憶部)
- 37 アドレス発生部 (RAM制御部)
- 40 V5バイト検出回路
- 41 ポインタ絶対アドレス発生部
- 42 比較部
- 43 RAM (記憶部)
- 50 共通のポインタ処理部
- 60 記憶部 (RAM)
- 70 記憶部制御部 (書き込み読み出しのためのアドレス発生部)
- 100 STMノード
- 100A, 100B 伝送路
- 101 O/E部 (光/電気変換部)
- 102 SOH処理部
- 103 POH終端・ポインタ処理部
- 104A, 104B スイッチ部
- 104C POH処理部
- 105 SOH処理部
- 106 E/O部 (電気/光変換部)
- 201 POH終端処理部
- 202 分離部 (DMUX部)
- 203-k ポインタ処理部
- 203-k1 ポインタ受信処理部
- 203-k2 エラステックメモリ (ES部)
- 203-k3 ポインタ送信処理部
- 204 多重部 (MUX部)

40

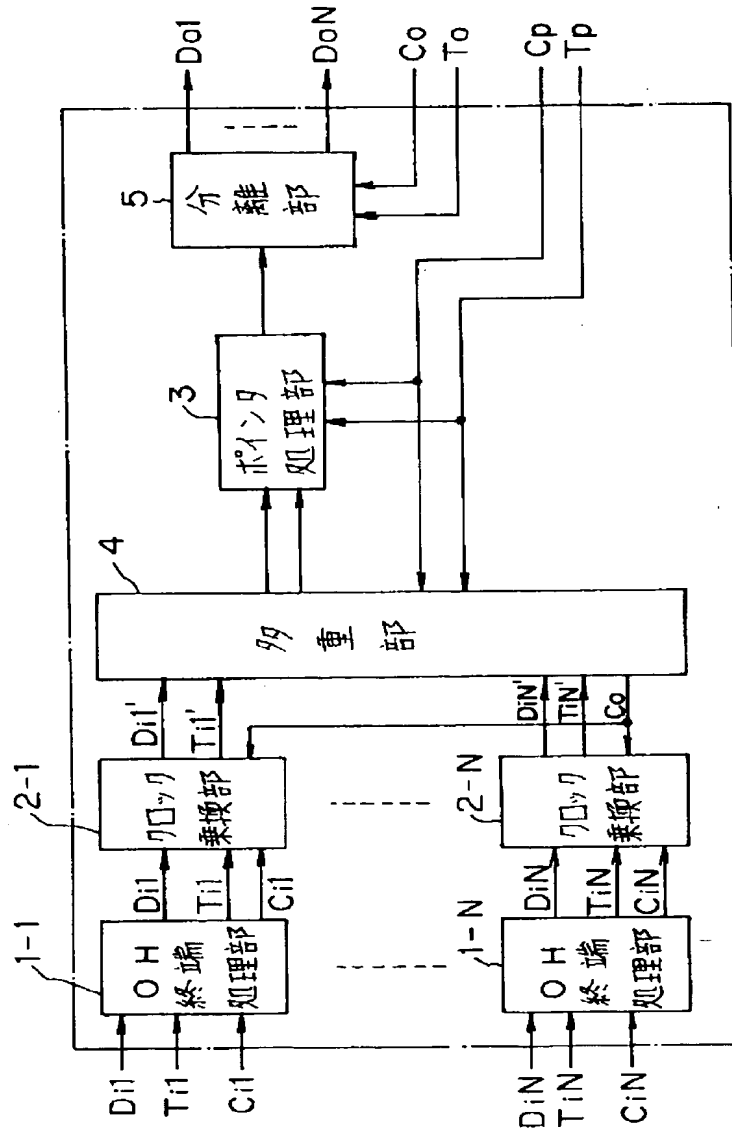
【図1】

本発明の原理ブロック図



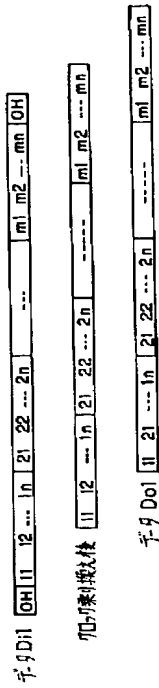
【図2】

本発明の他の態様を示す原理ブロック図



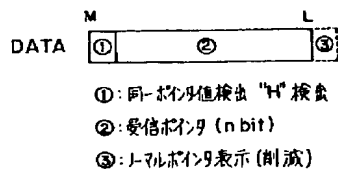
【図 3】

図 1 に示す装置のタイムチャートの一例



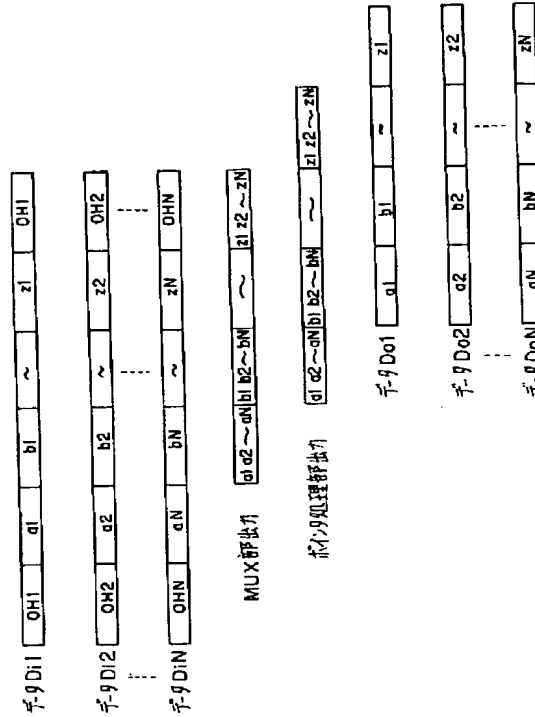
【図 1 2】

ノーマルポイント3 回連続受信検出に使用される RAM のビット構成を説明するための図



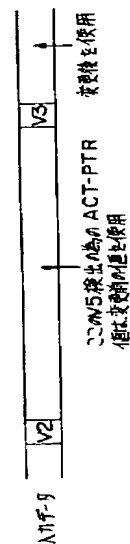
【図 4】

図 2 に示す装置のタイムチャートの一例



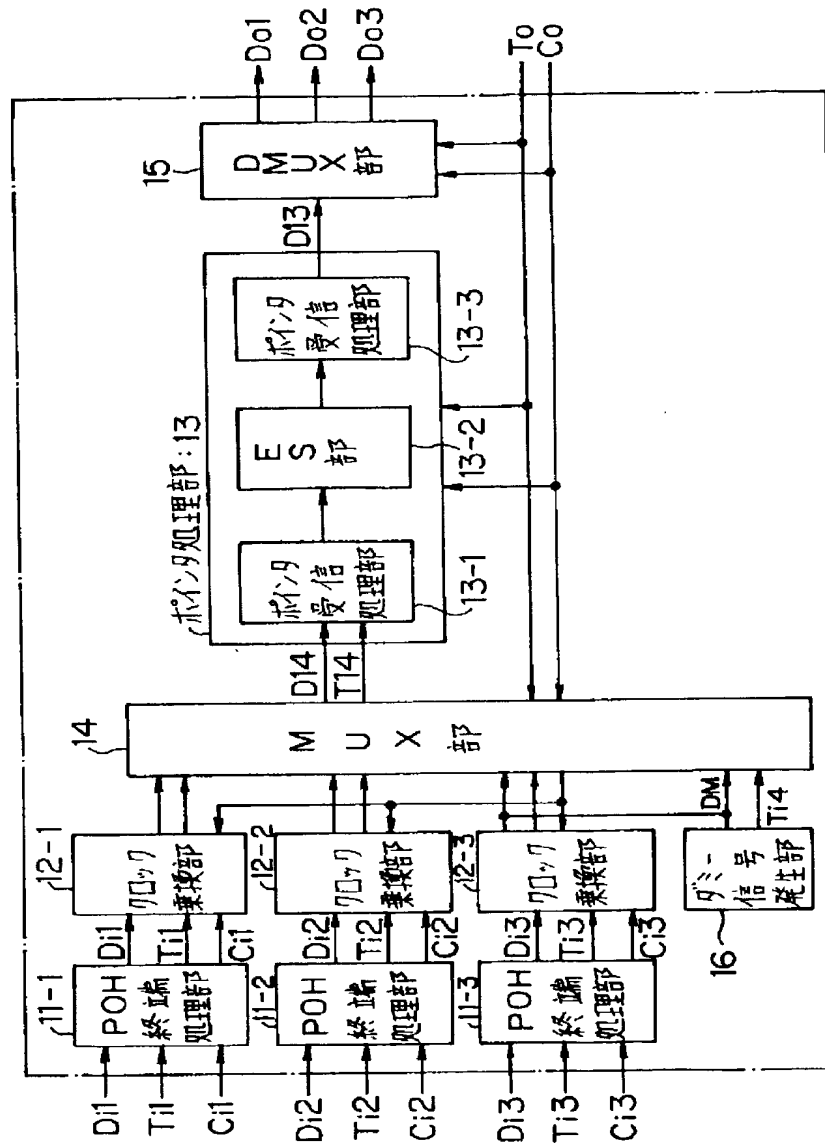
【図 1 7】

アクティブポイント値更新回路の動作を説明するための図



【図5】

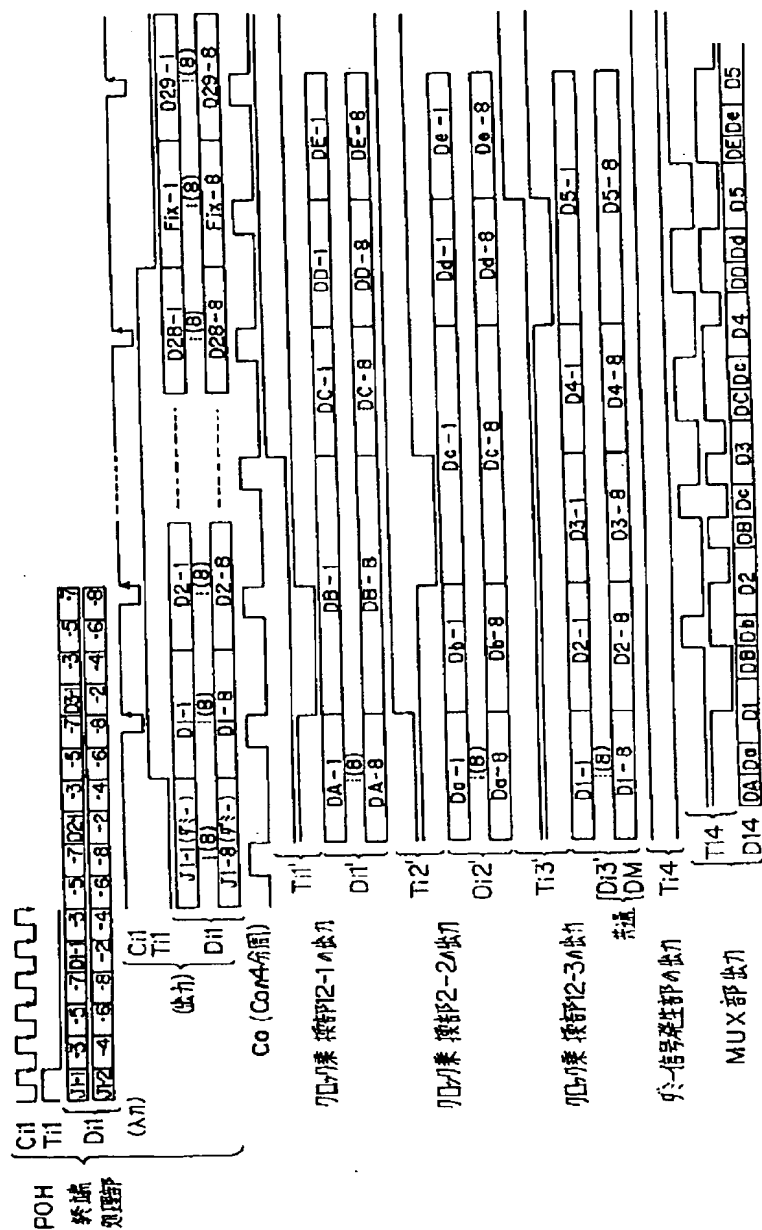
本発明の一実施例を示すブロック図



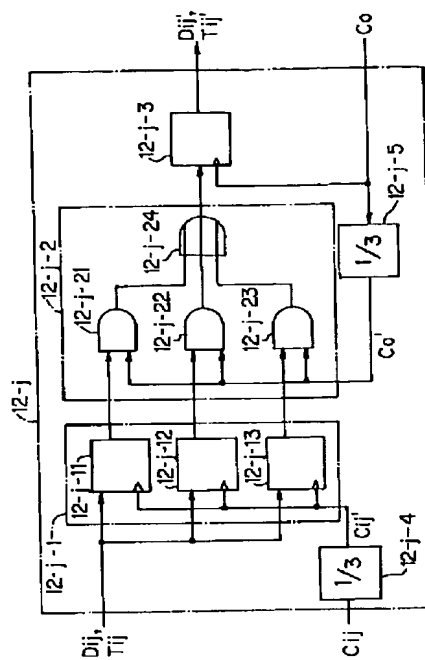
【图 6】

【图 8】

図 5 に示す装置のタイムチャート

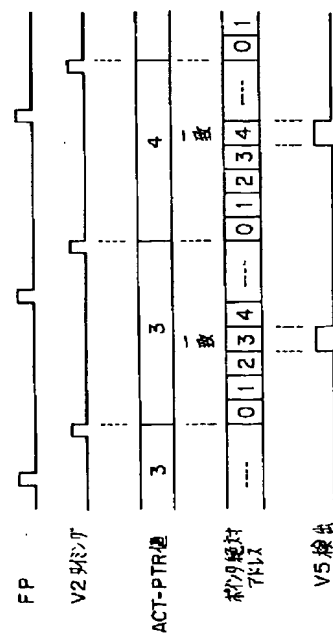


ワロッリ乗換部のワロッリ図



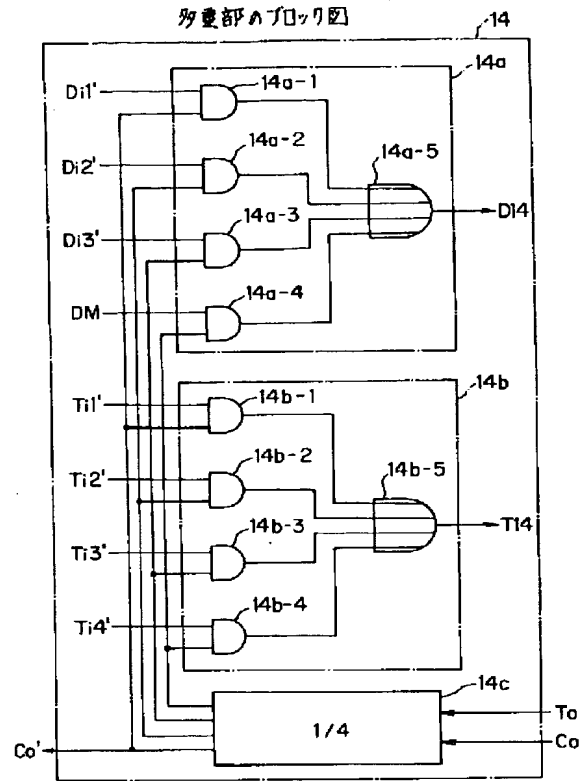
【图 15】

V5バイト検出回路の動作を説明するためのタイムチャート



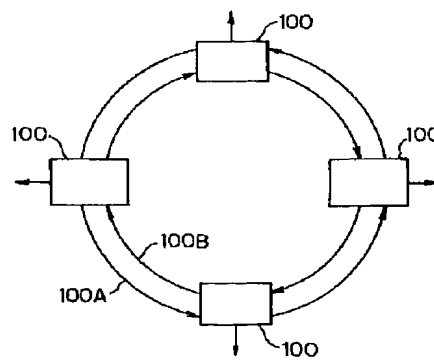
【图9】

### 多量部のブロック図



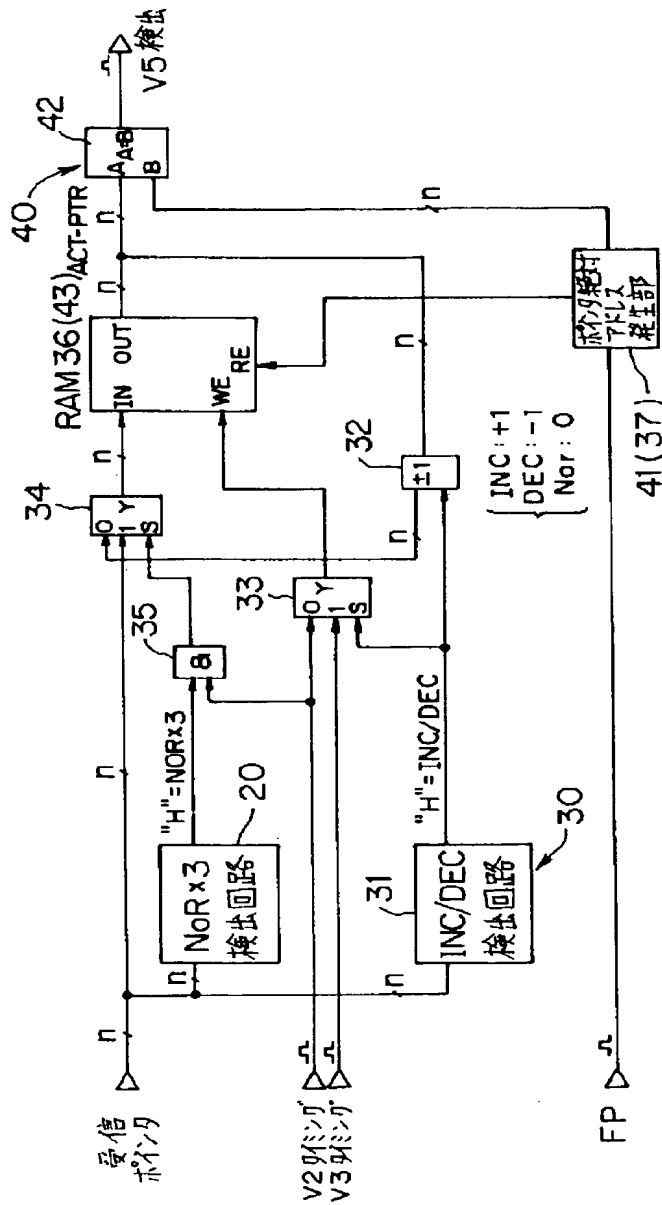
【図 2 1】

### STM網表示モード図



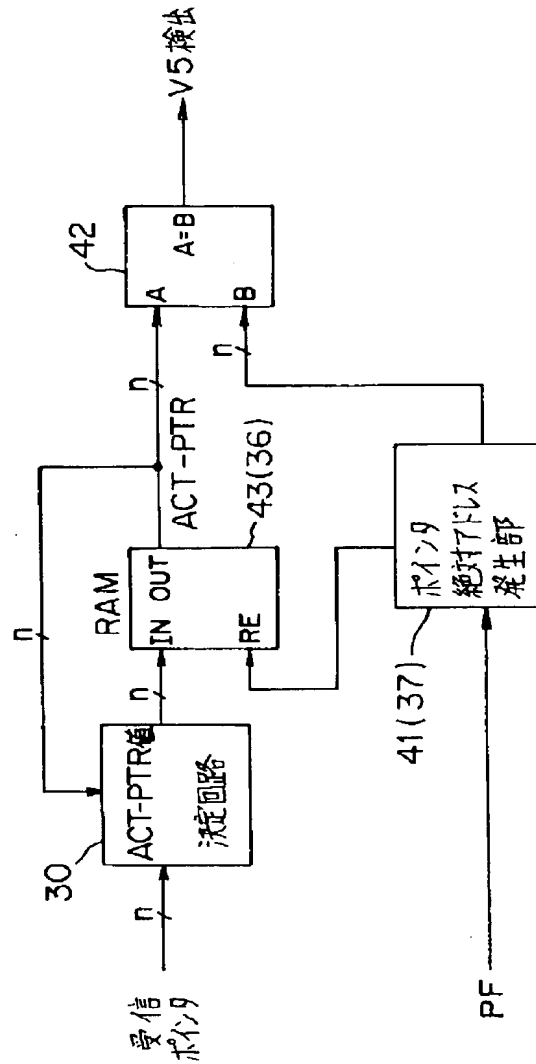
【図10】

ポインタ処理部の要部ブロック図



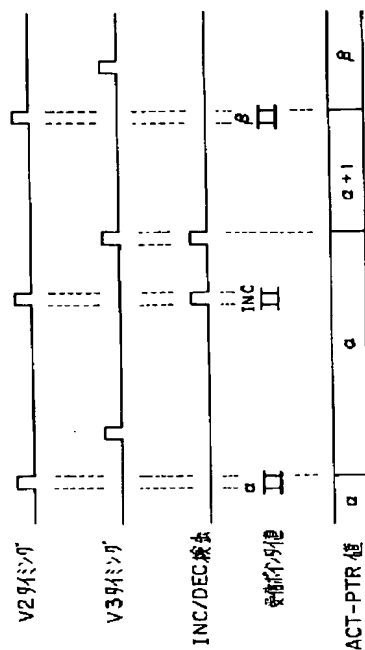
【図14】

V5バイト検出回路のブロック図



【图 18】

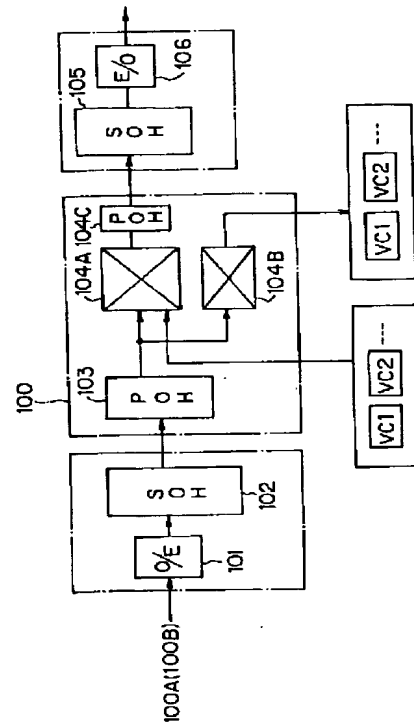
アワテフポイント値更新回路の動作を説明するための  
タイムチャート





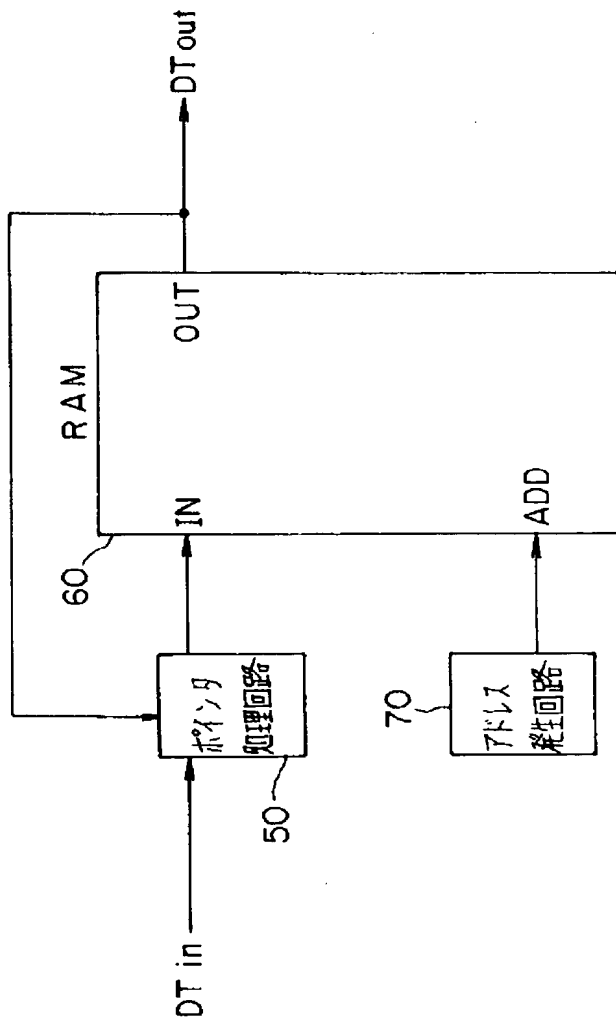
【图 2 2】

STMノードの概略構成を示すブロック図



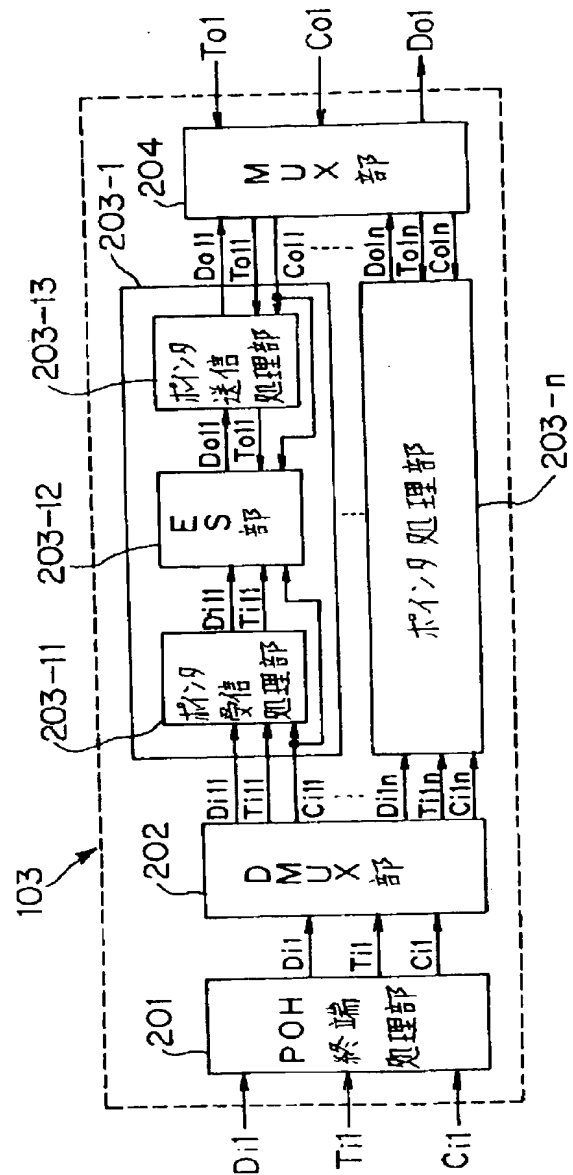
【図19】

ポインタ処理部の概略構成を示す要部ブロック図



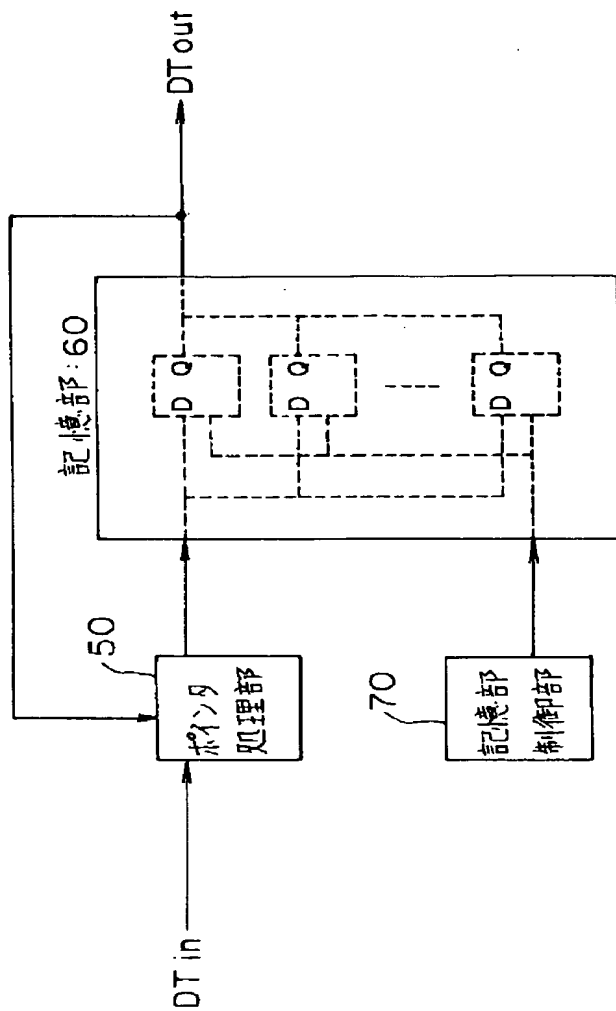
【図23】

従来例を示すブロック図



【図 20】

ポインタ処理部の概略構成を示す要部ブロック図



【図 24】

従来例の動作を説明するためのタイムチャート

